

HW akcelerátor zpracování radarového signálu

Funkční vzorek

Autoři: Adam Husár, Lukáš Maršík, Fakulta informačních technologií, VUT

Duben 2014

Úvod

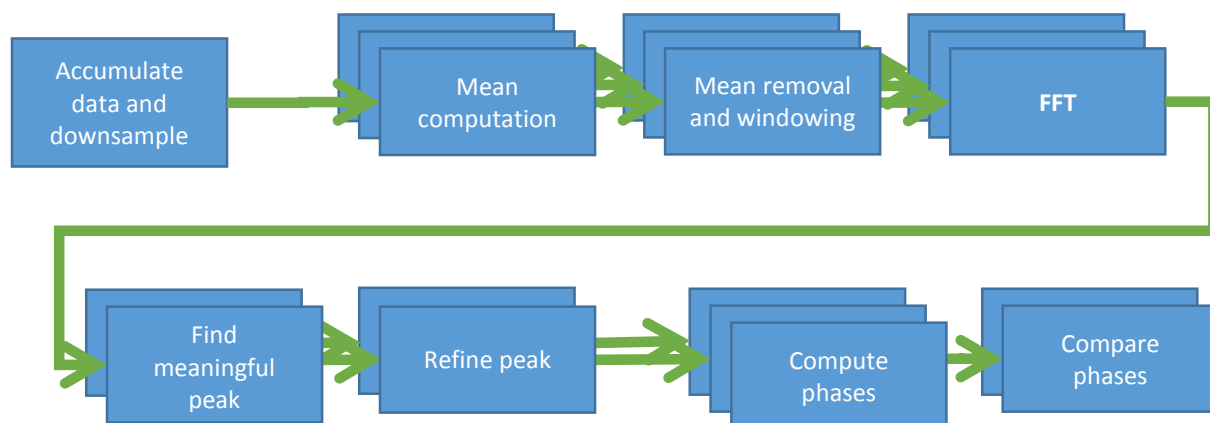
Pro zpracování radarového signálu není vždy třeba komplexních procesorů s velkým množstvím instrukcí. Lze si vystačit s dedikovanou výpočetní jednotkou, která disponuje relativně malým výkonem, ale na míru šitou instrukční sadou. Tak je možno úplně eliminovat potřebu CPU a veškeré zpracování provádět pouze v rámci FPGA, což přináší úspory nejen finanční, ale i energetické.

Ve funkčním vzorku byl použit soft procesor Codix-RISC, který je možno syntetizovat do FPGA, jaké je například osazeno na platformě Camea AX32. Procesor Codix umožňuje volit škálu podporovaných operací přidáváním, a nebo odebráním instrukcí. Výsledkem je jednotka, která zabírá malé množství zdrojů a je vhodná většinu úkonů při zpracování signálu. Navíc ji lze kombinovat s jinými jednotkami (například IP core FFT), které zastanou zbytek nezbytných úloh a kroků.

Funkční vzorek byl vytvořen v rámci projektu PaPP (Portable and Predictable Performance on Heterogeneous Embedded Manycores, 7HZC13005 - PaPP).

Aplikace

Platforma byla připravena aplikaci pro detekci objektů používanou v dopravních radarech. Dataflow schéma aplikace je znázorněno na následujícím obrázku.



Platforma

Platforma je založena na procesorovém jádře Codix-RISC a je implementována v FPGA Virtex 5 XC5VSX850T. Platforma jde s pouze malými úpravami implementovat i v platformě Camea AX32, která disponuje také FPGA čipem.

Kromě Samotného procesorového jádra obsahuje platforma 256kB paměti pro kód i data, časovač, UART rozhraní, a program bootloaeru uložený v ROM paměti.

Implementace a testování

Aplikace byla přeložena pomocí automaticky generovaného překladače jazyka C, který vyvinut v rámci výzkumné skupiny Lissom. Také byla použita standardní knihovna jazyka C Newlib upravená pro Codix-RISC a knihovna LLVM compiler-rt pro softwarovou implementaci floating point operací. Poté byl správný běh aplikace ověřen na instrukčním a cycle accurate simulátoru procesoru Codix-RISC.

Pro běh na hardwaru byla vstupní data uložena jako konstantní data v programu. Výstup se kontroloval přes checksum dílčích výsledků, tento checksum byl po dokončení výpočtu zobrazen na LED diodách desky s FPGA. V reálném použití by nebyl problém posílat vstupní a výstupní data přes dodané periférie procesoru. Z důvodu omezené paměti (velkou její část zabrala konstantní vstupní data) bylo v aplikaci zmenšeno FFT okno z 1024 vzorků na 512. Pro všechny běhy byl výsledný checksum korektní.