

Platforma na bázi FPGA pro filtraci provozu v sítích do rychlosti 100 Gb/s

Autoři

- Matoušek Jiří, Ing.
- Kekely Lukáš, Ing.
- Kořenek Jan, Ing., Ph.D.

Popis platformy

Platforma je zaměřena na oblast filtrace síťového provozu a je navržena pro sítě s rychlostí do 100Gb/s. Základ platformy tvoří akcelerační PCIe karta COMBO se 100 Gb rozhraním, jejímž jádrem je výkonné FPGA Virtex-7 řady HT a trojice QDR pamětí s agregovanou propustností 100 Gb/s (Obr. 1). Díky vhodnému využití kukaččích rozptylovacích funkcí (Cuckoo Hash) umožňuje platforma filtraci paketů na rychlosti 100 Gb/s a zároveň podporuje velké množství filtračních pravidel – filtraci je možné provádět podle tisíců IP adres a síťových toků. Unikátní architektura filtru dává také možnost využít navrženou platformu nejen v oblasti síťové bezpečnosti, ale i v oblasti zákonných odposlechů. Efektivní využití nástroje Vivado pak umožňuje vkládat do platformy nové IP cores a modulárně ji přizpůsobit cílové aplikaci.

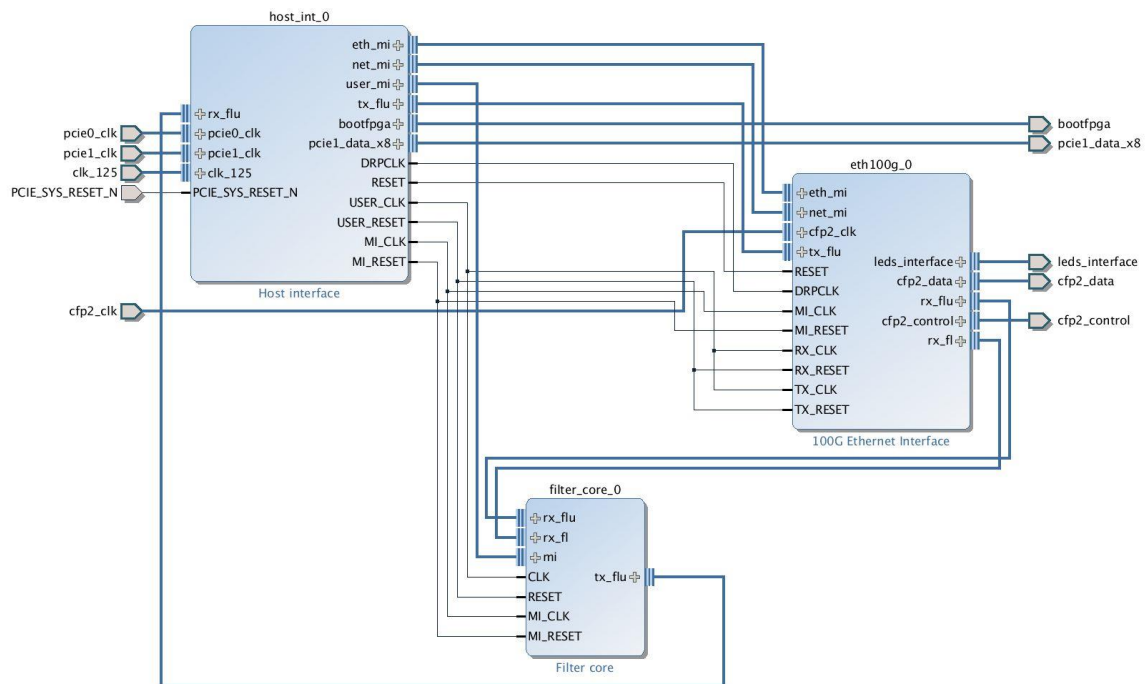


Obr. 1: akcelerační karta COMBO 100G s FPGA Virtex-7



Obr. 2: akcelerační karta v testovacím prostředí

Hlavním přínosem platformy je prostředí v nástroji Vivado (Obr. 3) umožňující flexibilně vytvářet nové aplikace pro FPGA na akcelerační kartě vkládáním uživatelem definovaných aplikačních jader (ve formě IP cores). Další důležitou součástí platformy je předdefinovaný IP core pro filtraci provozu, který umožňuje efektivní využití platformy v oblasti bezpečnosti počítačových sítí a zákonných odposlechů. Jednotky pro příjem paketů na 100 Gb rozhraní a pro připojení PCIe rozhraní, které jsou součástí platformy, byly vyvinuty ve spolupráci se sdružením CESNET, z. s. p. o., ve formě smluvního výzkumu. Platforma je postavena nad kartou COMBO 100G od společnosti INVEA-TECH a. s.



Obr. 3: firmwarová část platformy v nástroji Vivado

Firmwarová část platformy

Tato část platformy se skládá ze tří komponent ve formě IP cores, díky čemuž je umožněno jejich snadné použití ve vývojovém nástroji Vivado (Obr. 3).

1. **filter_core** – IP core aplikačního jádra platformy, který realizuje filtraci příchozího provozu podle zadaných pravidel.
2. **host_int** – IP core realizující připojení uživatelské aplikace k hostitelskému počítači prostřednictvím vysokorychlostních DMA přenosů přes sběrnici PCI Express. Vyvinuto ve spolupráci s CESNET, z. s. p. o.
3. **eth100g** – IP core realizující připojení uživatelské aplikace k síťovému rozhraní podporujícímu technologii 100 Gb/s Ethernet. Vyvinuto ve spolupráci s CESNET, z. s. p. o.

Uvedené komponenty jsou součástí přiloženého archivu stejně jako projekt ve vývojovém nástroji Vivado, ve kterém jsou výše popsané IP cores zapojeny do společného designu, ze kterého je možné vygenerovat konfigurační soubor pro FPGA na akcelerační kartě.

Softwarová část platformy

Součástí softwaru platformy jsou řadiče pro operační systém Linux, knihovny funkcí pro práci s akcelerační kartou a designem v jejím FPGA čipu a také softwarové nástroje pro ovládání jednotlivých částí designu v FPGA. Software platformy je součástí přiloženého archivu.

Způsob použití jednotlivých nástrojů je popsán v rámci jejich nápovědy přístupné typicky při spuštění s přepínačem "-h". Některé nástroje vyžadují jako vstup XML soubor popisující adresní prostor designu v FPGA na akcelerační kartě. Příslušný XML soubor pro implementovanou firmwarovou část platformy je rovněž součástí přiloženého archivu.