

Rekonfigurovatelné počítání



Jiří Matoušek

Brno University of Technology, Faculty of Information Technology
Božetěchova 2, 612 00 Brno, CZ
www.fit.vutbr.cz/~imatousek



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

2 Úvod do rekonfigurovatelného počítání

9 Rekonfigurovatelná zařízení

22 Rekonfigurace na FPGA

29 Aplikace

34 Rekonfigurovatelné počítání na FIT

36 Shrnutí

Co JE rekonfigurovatelné počítání

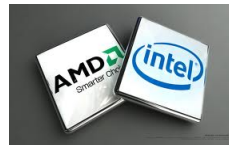
- existuje několik různých definic
- společným prvkem všech je využití **hardware s proměnnou** (rekonfigurovatelnou) **strukturou**
- např. algoritmus implementovaný v FPGA, CPLD, FPTA, ...



<http://promwad.com/>

Co NENÍ rekonfigurovatelné počítání

- vše, co nespadá pod rekonfigurovatelné počítání
- **struktura** výpočetní platformy **je neměnná**
- např. výpočty na CPU, GPU, ASIC, ...



<http://www.svethardware.cz/>

Zvyšování výpočetní hustoty

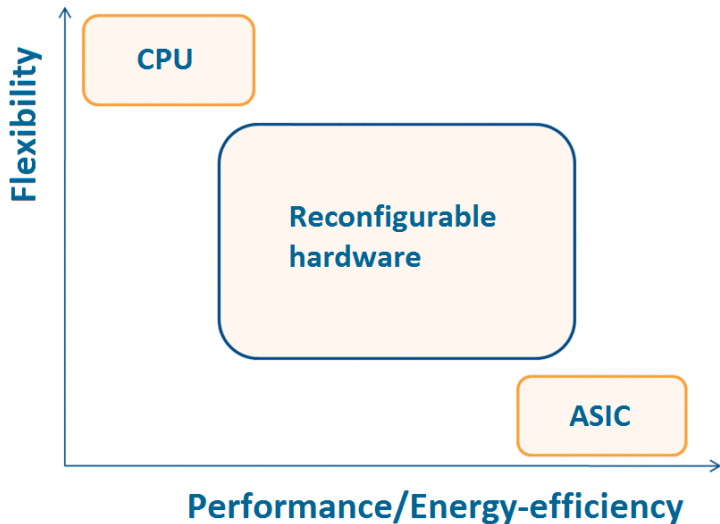
- se stejným množstvím zdrojů zvládneme náročnější výpočty
- nezávislé výpočty lze na stejných zdrojích provádět v různém čase
- **úspora financí** - stačí nám rekonfigurovatelná zařízení s méně zdroji

Dynamická adaptace systému

- podle vstupních nebo výstupních dat upravíme konfiguraci systému
- lze využít ke konstrukci samoopravujících se systémů
- **úspora financí** - nemusíme mít pro každou situaci (vnější podmínky, komunikační protokol) samostatné zařízení

Úspora energie

- zdroje aktuálně nepracujících modulů lze využít k užitečným výpočtům
- vzdálené moduly můžeme umístit blíž k sobě a šetřit tak energii spotřebovanou na přenosech
- **úspora financí** - méně spotřebované energie, levnější akumulátory, lehčí systém, ...



Čas rekonfigurace

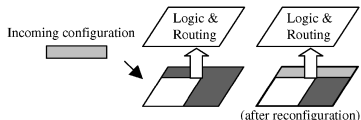
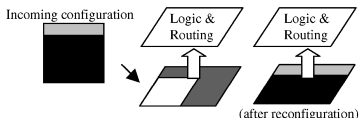
- rekonfigurace je proces změny struktury systému a zpravidla se provádí zapsáním konfigurační informace do konfigurační paměti zařízení
- naprogramování konfigurační paměti trvá nenulový čas
- **řešení** - vícekontextová architektura, částečná rekonfigurace, komprese konfiguračních dat, rychlejší přenos konfiguračních dat, ...

Složitě nalezení vhodné konfigurace systému

- struktura systému se obvykle popisuje v některém z vyšších programovacích jazyků (VHDL, Verilog, Catapult C, ...)
- namapování popsané struktury na cílovou architekturu a její rozmístění do konkrétních rekonfigurovatelných elementů je netriviální a časově náročná úloha
- **řešení** - použití "inteligentních" technik jako floorplanning a simulované žíhání

Podle úplnosti konfigurační informace

- **úplná rekonfigurace (*full reconfiguration*)**
konfigurační informace popisuje strukturu celého zařízení
- **částečná rekonfigurace (*partial reconfiguration*)**
konfigurační informace popisuje pouze část zařízení



Podle okamžiku rekonfigurace

- **statická rekonfigurace (*static reconfiguration*)**
rekonfigurace se provádí během odstávky
- **dynamická rekonfigurace (*run-time/dynamic reconfiguration*)**
rekonfigurace se provádí za běhu

Podle řízení rekonfigurace

- **externí rekonfigurace (*external reconfiguration*)**
řízení rekonfigurace je prováděno mimo rekonfigurované zařízení
- **interní rekonfigurace (*internal reconfiguration*)**
rekonfigurace je řízena samotným rekonfigurovaným zařízením

2 Úvod do rekonfigurovatelného počítání

9 Rekonfigurovatelná zařízení

22 Rekonfigurace na FPGA

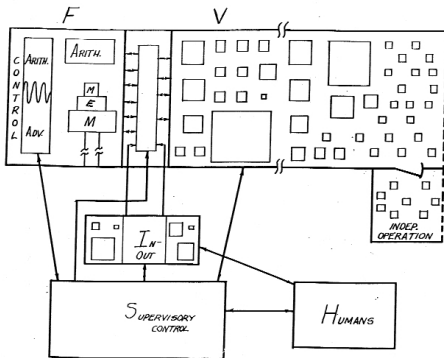
29 Aplikace

34 Rekonfigurovatelné počítání na FIT

36 Shrnutí

Fixed-Plus-Variable (F+V) Structure Computer

- první rekonfigurovatelné zařízení (1960)
- vyvinuto týmem **Geralda Estrina** na UCLA (*University of California, Los Angeles*)
- Gerald Estrin, *Reconfigurable Computer Origins: The UCLA Fixed-Plus-Variable (F+V) Structure Computer*, IEEE Annals of the History of Computing 24, 4 (October 2002), 3-9



PLD (*Programmable Logic Device*)

- elektronické obvody, jejichž funkce není určena v době výroby
- starší PLD se programovaly pouze jednou, typicky destrukcí programovacích propojek
 - **PLA (*Programmable Logic Array*)**
 - **PAL (*Programmable Array Logic*)**
- konfigurace novějších PLD se prováděla zápisem do konfigurační paměti a tato zařízení tak bylo možné přeprogramovat
 - **GAL (*Gate Array Logic*)**
 - **CPLD (*Complex Programmable Logic Device*)**
- za skutečně rekonfigurovatelná zařízení tak lze považovat až GAL a CPLD
- podrobnější informace viz přednáška Technologie v předmětu INC - Návrh číslicových systémů

Firma Algotronix

- **1989** - Algotronix založen výzkumníky z Edinburgh University
- **1991** - uvedení prvního vlastního komerčně dostupného rekonfigurovatelného zařízení (CHS2x4)



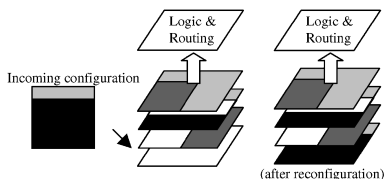
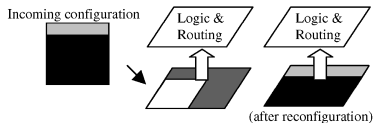
- **1993** - Algotronix odkoupen firmou Xilinx
 - technologie čipů CAL se stává základem úspěšné řady FPGA XC6200
- více na <http://www.algotronix.com/people/tom/album.html>

Podle typu zpracovávaných signálů

- **digitální**
rekonfigurovatelné zařízení pracuje s diskrétními signály
- **analogová**
rekonfigurovatelné zařízení pracuje se spojitými signály

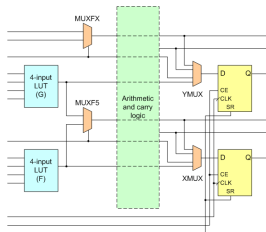
Podle organizace konfigurační paměti

- **jednokontextová (*single context*)**
do konfigurační paměti lze uložit pouze jednu konfiguraci
- **vícekontextová (*multi context*)**
v konfigurační paměti lze uchovávat více různých konfigurací

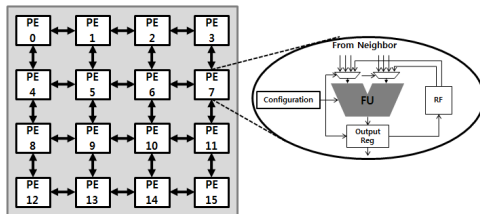


Podle granularity

- jemnozrnná (*fine-grained*)**
 rekonfigurace se provádí na úrovni základních prvků architektury (hradla, tranzistory)
- hrubozrnná (*coarse-grained*)**
 rekonfiguraci je možné provádět pouze na úrovni složitějších bloků (sčítačky, násobičky, ALU, ...)



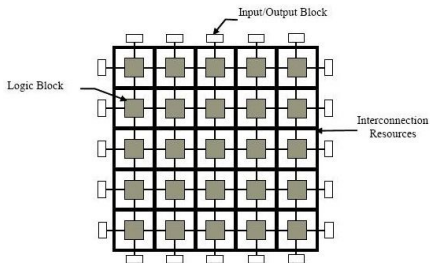
<http://www.1-core.com>



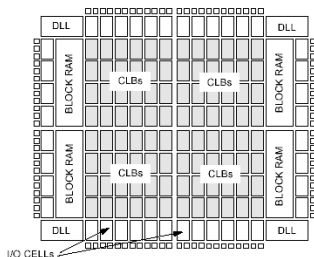
<http://aviral.lab.asu.edu>

Podle vnitřní struktury

- homogenní**
 rekonfigurovatelné zařízení obsahuje pouze jeden typ základních bloků
- heterogenní**
 struktura zařízení se skládá z několika různých typů základních bloků (paměti, DSP, procesorová jádra, ...)



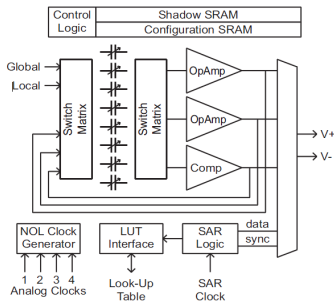
<http://knol.google.com>



<http://www.hw.cz>

FPAA (*Field-Programmable Analog Array*)

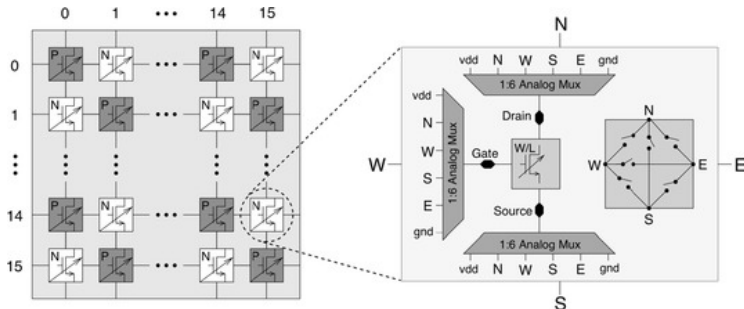
- obdoba FPGA v analogovém světě
- základní bloky se nazývají **CAB (Configurable Analog Block)**
- obdobně jako u FPGA najdeme na čipu programovatelné propoje, I/O bloky a konfigurační paměť
- hlavní výrobci jsou společnosti Anadigm, Lattice Semiconductor a Zetex



ukázka CAB z FPAA AN221E04 firmy Anadigm

FPTA (*Field-Programmable Transistor Array*)

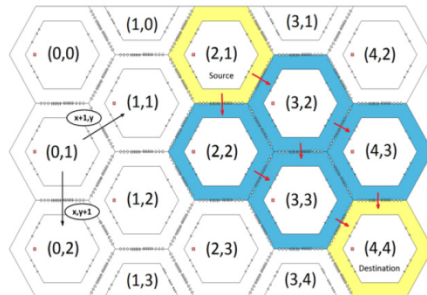
- základním prvkem architektury FPTA je **tranzistorová buňka**
- pomocí multiplexorů je zajištěno propojení každé elektrody tranzistoru s libovolnou sousední buňkou
- FPTA se využívá např. při výzkumu v oblasti evolvable hardware na University od Heidelberg (http://www.kip.uni-heidelberg.de/cms/vision/projects/recent_projects/evolvable_hardware/)



<http://www.springerimages.com>

HoneyComb

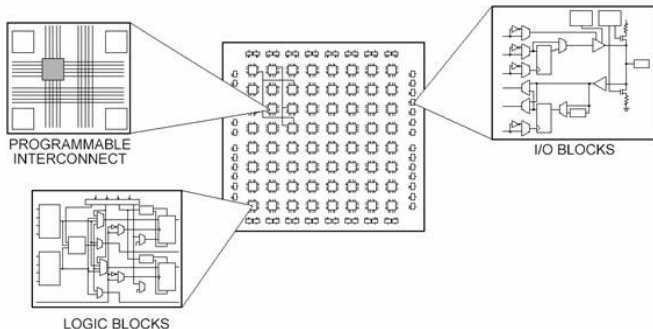
- vyvinuto na Karlsruhe Institute of Technology
- architektura byla navržena tak, aby minimalizovala negativa známých jemnozrnných a hrubozrnných rekonfigurovatelných architektur
- každá **šestiúhelníková buňka** může být nakonfigurována třemi způsoby
 - jako transportní buňka
 - jako paměťová buňka
 - jako vstup/výstupní buňka



- komerčně nejúspěšnější rekonfigurovatelná architektura
- zařazení podle klasifikace rekonfigurovatelných struktur
 - **digitální, jednokontextová, jemnozrná a heterogenní** rekonfigurovatelná architektura
 - mohou se objevit výjimky (např. původní FPGA měla spíše homogenní strukturu)
- široké spektrum použití
 - DSP aplikace
 - kryptografie
 - prototypování ASIC
 - zpracování síťových dat
 - mnoho dalších oblastí
- používáme také na FIT (všichni studenti pracovali s FITkitem)
- hlavní výrobci
 - Xilinx
 - Altera

Základní struktura FPGA

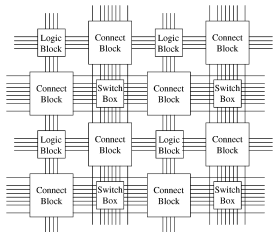
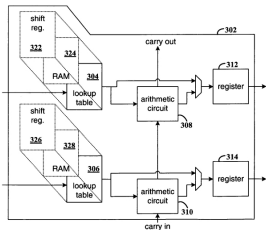
- logické bloky (CLB)
- vstup/výstupní bloky
- propojovací síť
- hodinové rozvody (globální, lokální)
- další bloky (BlockRAM, násobičky, Extreme DSP, procesorová jádra, ...)



<http://zone.ni.com>

CLB (Configurable Logic Block)

- různé rodiny obsahují různý počet dílčích bloků nazývaných **slice** (2 nebo 4)
- každý slice se skládá z několika typů základních obvodů
 - **LUT (Look-Up Table)** - typicky 4 nebo 6 vstupů
 - **multiplexor**
 - **registr**
 - **logika pro rychlé přenosy**
- jednotlivé CLB jsou obklopeny propojovací sítí FPGA (tzv. *island-type layout*)



<http://www.freepatentsonline.com>

2 Úvod do rekonfigurovatelného počítání

9 Rekonfigurovatelná zařízení

22 Rekonfigurace na FPGA

29 Aplikace

34 Rekonfigurovatelné počítání na FIT

36 Shrnutí

Obecné principy

- v době odstávky lze rekonfigurovat celé FPGA - **statická úplná rekonfigurace**
- ne každá posloupnost nul a jedniček reprezentuje **konfigurační řetězec (bitstream)**
 - konfigurační informace je závislá na konkrétním typu FPGA
 - pro vytvoření validního bitstreamu je třeba použít nástroje dodávané výrobcem FPGA (uživatel je plně závislý na výrobci)
- další detaily se pro jednotlivé výrobce a typy FPGA liší, podrobněji budeme řešit FPGA od Xilinx

Možnosti rekonfigurace FPGA firmy Xilinx

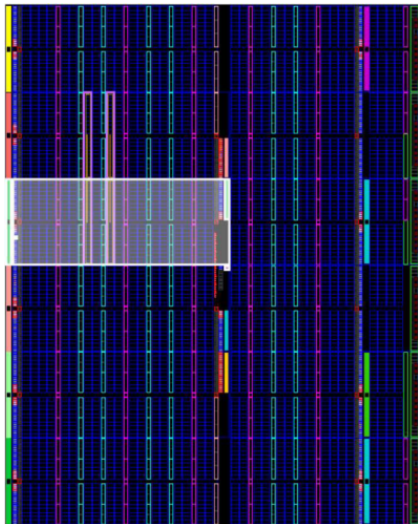
- vývojové nástroje od verze 12 umožňují **částečnou dynamickou rekonfiguraci** FPGA rodin Virtex-4, Virtex-5, Virtex-6 a 7 Series (Kintex-7, Virtex-7)
- rekonfiguraci je možné provádět jako **externí** i jako **interní**

Organizace konfigurační paměti

- nejmenší adresovatelnou položkou je **rámec (frame)** (1b sloupec přes jeden blok lokálních hodin)
- rámec se skládá z několika 32bitových slov
 - 41 slov pro Virtex-4 a Virtex-5
 - 81 slov pro Virtex-6

Popis obrázku

- CLB - modrá
- BlockRAM - fialová
- DSP - zelená
- lokální hodiny - bílá



JTAG

- **sériové rozhraní** pracující na frekvenci do desítek MHz
- kromě rekonfigurace lze použít i pro komunikaci s jednotkami na FPGA (ChipScope)

SelectMAP

- **paralelní rozhraní** o šířce až 32 bitů
- sdílené piny pro vstup a výstup

ICAP (*Internal Configuration Access Port*)

- **interní konfigurační rozhraní** (umožňuje interní rekonfiguraci)
- architektura rozhraní stejná jako u SelectMAP
- maximální spolehlivá frekvence je přibližně 100 MHz

Další varianty

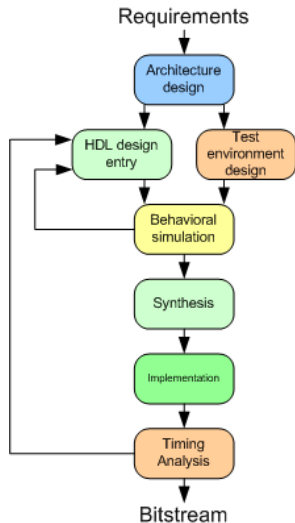
- rekonfigurace přes PCIe (ICAP je uvnitř FPGA připojen na PCIe blok)
- rozhraní BPI a SPI (dostupné až v rodině FPGA 7 Series)

Obsah bitstreamu

- kromě **dat** zapisovaných do konfigurační paměti obsahuje také **kontrolní informace** (adresy a data pro registry řídící proces rekonfigurace)
- množství kontrolních dat se pro různé rodiny FPGA liší (počet 32bitových slov)
 - 1312 pro Virtex-4
 - 272 pro Virtex-5
 - 583 pro Virtex-6
- bitstream je strukturován do paketů

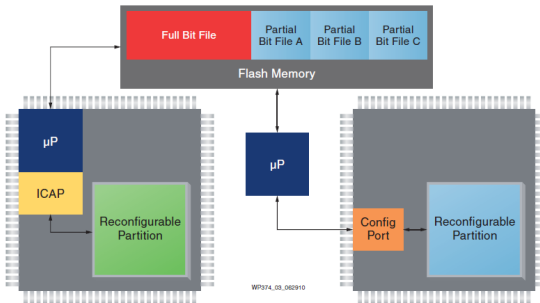
Typy paketů v bitstreamu

- **typ 1** - čtení a zápisy do řídicích rekonfiguračních registrů
- **typ 2** - zápisy dlouhých bloků dat



<http://www.fpgacentral.com>

- proces změny konfigurace části FPGA bez přerušení činnosti FPGA
- používá se zkratka DPR (*Dynamic Partial Reconfiguration*)
- v současnosti intenzivně zkoumaná oblast
- **výhody** - úspora zdrojů FPGA (a tudíž i energie, financí), možnost konstruovat nezávislé adaptivní systémy, ...
- **nevýhody** - nezanedbatelná režie v podobě doby rekonfigurace, ne příliš vyladěné vývojové nástroje, ...
- <http://www.xilinx.com/tools/partial-reconfiguration.htm>



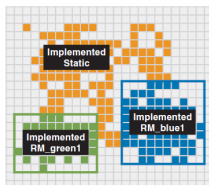
Návrh aplikace využívající DPR

- lze se na něj dívat podobně jako na návrh několika samostatných aplikací, avšak s jistými odlišnostmi
- při návrhu se objevují nové pojmy
 - **statická a rekonfigurovatelná oblast**
 - **busmacro** (rozhraní mezi statickou a rekonfigurovatelnou oblastí)
 - **partition** (část aplikace se zakonzervovanou strukturou)
 - **částečný bitstream** (konfigurace pro danou oblast v FPGA)

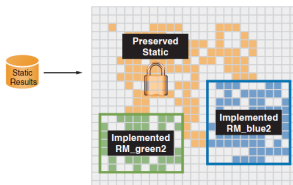
Podpora DPR vývojovými nástroji

- návrh aplikací již podporován v **PlanAhead** (vývoj v GUI)
- problematická podpora simulace navržených systémů

First Configuration



Second Configuration



WP574_02_060910

2 Úvod do rekonfigurovatelného počítání

9 Rekonfigurovatelná zařízení

22 Rekonfigurace na FPGA

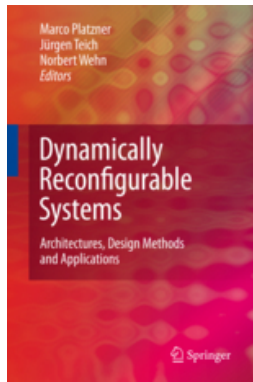
29 Aplikace

34 Rekonfigurovatelné počítání na FIT

36 Shrnutí

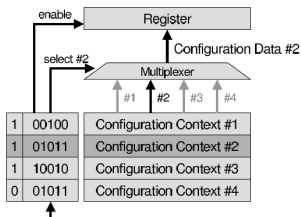
Marco Platzner, Jürgen Teich and Norbert Wehn (eds.):
Dynamically Reconfigurable Systems: Architectures, Design Methods and Applications, Springer, 2010, ISBN 978-90-481-3484-7

- souhrn 6ti letého výzkumu v oblasti rekonfigurovatelných výpočetních systémů (2003-2009)
- celkem 20 samostatných výzkumných projektů z různých oblastí (rekonfigurovatelné architektury, návrhové metody a nástroje, aplikace dynamické rekonfigurace)
- následují 3 vybrané aplikace



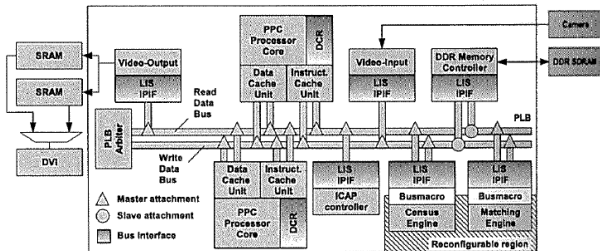
Dynamically Reconfigurable Systems for Wireless Sensor Networks

- zajímavá aplikační oblast (hlavními požadavky jsou malá velikost a velmi nízká spotřeba)
- inovativní přístup k rekonfiguraci
 - **intra-task reconfiguration** - rekonfigurace provedená v jednom taktu (implementováno pomocí přepínání kontextu)
 - **inter-task reconfiguration** - rekonfigurace prováděná mezi jednotlivými úlohami (implementováno jako nahrávání kontextu)
- výsledná architektura spojuje rekonfigurovatelnou jednotku a RISC procesor



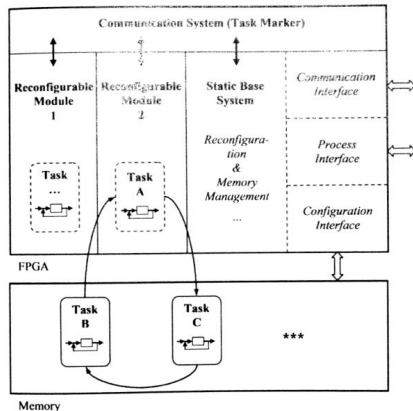
Auto Vision - Reconfigurable Hardware Acceleration for Video-Based Driver Assistance

- FPGA se využívá pro **akceleraci filtrování obrazu** získaného v systému podpory řízení automobilu
- dynamická rekonfigurace umožňuje přizpůsobovat použitý obrazový filtr aktuálním vnějším podmínkám a prostředím (dálnice, město, vjezd do tunelu, jízda ve dne či v noci,...)
- díky částečné dynamické rekonfiguraci může být použité FPGA menší (nikdy nejsou současně použity všechny filtry)
- aplikace je navržena tak, aby **filtrace probíhala v reálném čase**



Reconfigurable Controllers - A Mechatronic Systems Approach

- logika v FPGA je využita k implementaci řadiče mechatronického systému
 - mechatronika = inženýrský přístup kombinující mechaniku, elektroniku, informační technologie a teorii řízení za účelem vytváření užitečných zařízení
- dynamická rekonfigurace se využívá k adaptaci řadiče v systémech s měnícími se hardwarovými požadavky



2 Úvod do rekonfigurovatelného počítání

9 Rekonfigurovatelná zařízení

22 Rekonfigurace na FPGA

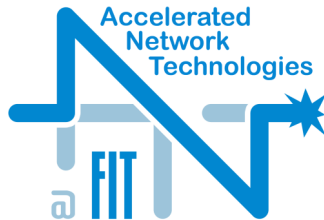
29 Aplikace

34 Rekonfigurovatelné počítání na FIT

36 Shrnutí

Výzkumná skupina akcelerovaných síťových technologií (ANT@FIT)

- FPGA Partial Reconfiguration in Linux: A Basic Tutorial (DPR krok za krokem)
- využití částečné dynamické rekonfigurace v oblasti počítačových sítí
- **příležitosti pro studenty**
 - diplomová práce
 - disertační práce
 - zapojení do řešených projektů (např. IT4Innovations)



Další týmy zabývající se DPR v FPGA

- Výzkumná skupina diagnostika
- Výzkumná skupina Evolvable Hardware (ehw@FIT)

2 Úvod do rekonfigurovatelného počítání

9 Rekonfigurovatelná zařízení

22 Rekonfigurace na FPGA

29 Aplikace

34 Rekonfigurovatelné počítání na FIT

36 Shrnutí

- **rekonfigurovatelné počítání** je spojeno s pojmem **rekonfigurovatelné zařízení** (ne jen s FPGA)
- motivací jsou především **úspory** (zdrojů na čipu, energie, financí) a možnost **adaptace** systému pro různé podmínky
- **rekonfigurovatelná zařízení** i proces jejich **rekonfigurace** lze klasifikovat podle různých kritérií
 - digitální – analogová, jednokontextová – vícekontextová, jemnozrnná – hrubozrnná, homogenní – heterogenní **rekonfigurovatelná zařízení**
 - úplná – částečná, statická – dynamická, externí – interní **rekonfigurace**
- nejúspěšnějším typem rekonfigurovatelného zařízení jsou **FPGA**, u kterých se v současnosti intenzivně zkoumá **částečná dynamická rekonfigurace (DPR)**
 - detaily struktury FPGA a DPR jsou závislé na výrobci a rodině konkrétního FPGA
- DPR je využita v mnoha **aplikacích** z různých odvětví
- **výzkum** v oblasti DPR je možné dělat i **na FIT**

- Katherine Compton and Scott Hauck: [Reconfigurable Computing: A Survey of Systems and Software](#), ACM Computing Surveys, Vol. 34, No. 2, June 2002, pp. 171–210
- Lukáš Sekanina: [Rekonfigurovatelná výpočetní zařízení](#), BIN - Biologií inspirované počítače, Přednáška 3, FIT VUT v Brně, 2011
- Jan Kaštil: [Rekonfigurovatelné počítání](#), PCS - Pokročilé číslicové systémy, ANT@FIT VUT v Brně, 2010
- David Dye: [Partial Reconfiguration of Xilinx FPGAs Using ISE Design Suite](#), Xilinx White Paper, WP374 (v1.1), July 2011
- další zdroje uvedené v textu