

# Rekonfigurace



Jiří Matoušek

Brno University of Technology, Faculty of Information Technology  
Božetěchova 2, 612 00 Brno, CZ  
[www.fit.vutbr.cz/~imatousek](http://www.fit.vutbr.cz/~imatousek)



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

## 2 Rekonfigurace FPGA

## 6 Částečná dynamická rekonfigurace (DPR)

## 11 Oblasti využití DPR

## 15 Aplikace uplatňující DPR

## 18 Výzkumná skupina ANT@FIT

## 21 Literatura

## Konfigurovatelné součásti FPGA

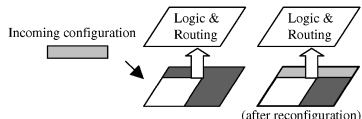
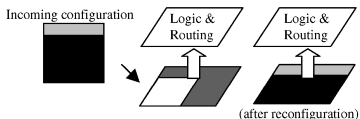
- jednotky uvnitř slice
  - LUT
  - registry
  - multiplexory
  - carry řetězce
- BlockRAM paměti včetně jejich počátečního obsahu
- I/O bloky (použitá technologie, režim, připojení)
- vestavěné bloky (násobičky, DSP, procesorová jádra, ...)
- propojovací síť (C-boxy a S-boxy)

## Pojmy

- **konfigurace** obsahuje informace o nastavení konfigurovatelných součástí FPGA
- konfigurace je dělena do **rámců** (*frames*), které mohou být nahrávány odděleně
- **rekonfigurace** je proces nahrání konfigurace do konfigurační paměti FPGA (typicky SRAM)

## Podle úplnosti konfigurace

- **úplná rekonfigurace (*full reconfiguration*)**  
konfigurace popisuje strukturu celého FPGA
- **částečná rekonfigurace (*partial reconfiguration*)**  
konfigurace popisuje pouze část FPGA (vždy celé rámce)



## Podle okamžiku rekonfigurace

- **statická rekonfigurace (*static reconfiguration*)**  
rekonfigurace se provádí během odstávky
- **dynamická rekonfigurace (*run-time/dynamic reconfiguration*)**  
rekonfigurace se provádí za běhu

## Podle řízení rekonfigurace

- **externí rekonfigurace (*external reconfiguration*)**  
řízení rekonfigurace je prováděno mimo FPGA
- **interní rekonfigurace (*internal reconfiguration*)**  
rekonfigurace je řízena samotným FPGA

2 Rekonfigurace FPGA

**6 Částečná dynamická rekonfigurace (DPR)**

11 Oblasti využití DPR

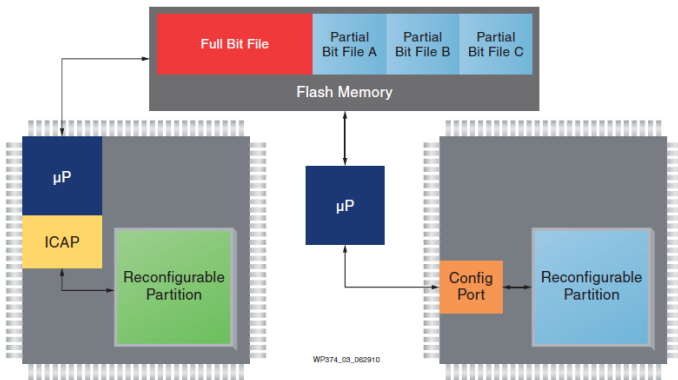
15 Aplikace uplatňující DPR

18 Výzkumná skupina ANT@FIT

21 Literatura

## Částečná dynamická rekonfigurace

Částečná dynamická rekonfigurace (*Dynamic Partial Reconfiguration, DPR*) umožňuje rekonfigurovat část běžícího systému implementovaného v FPGA, zatímco funkce zbytku systému není nijak ovlivněna.



## Dynamické knihovny

- funkce umístěné v dynamické knihovně se k programu připojují až v době jeho spuštění
- implementaci funkcí je možné mezi běhy programů měnit
- obdobné chování nám v FPGA umožňuje **částečná rekonfigurace**

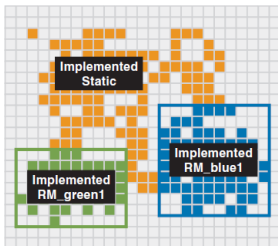
## Polymorfismus v OOP

- zděděné třídy mohou reimplementovat metody zděděné od nadřazené třídy
- k objektům různých zděděných tříd lze přistupovat jednotně (jako k jejich společné nadřazené třídě), přičemž jejich chování bude různé
- obdobné chování nám v FPGA umožňuje **částečná dynamická rekonfigurace**

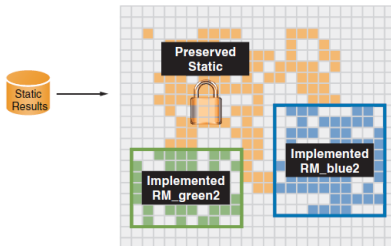


- máme-li potřebnou sadu IP cores, lze pracovat pouze v grafických vývojových nástrojích, které jsou součástí Xilinx ISE (PlanAhead, EDK)
- při vývoji systémů využívajících DPR se setkáváme s novými pojmy
  - **partition** - část designu se zakonzervovanou strukturou
  - **částečná konfigurace** - konfigurace pro danou partition
  - **statická a rekonfigurovatelná partition**

First Configuration



Second Configuration



WP374\_02\_062910

## Výhody

- **úspora zdrojů FPGA** či **možnost využít menší FPGA**  
nezávislé výpočty lze provádět s využitím stejných zdrojů v různém čase (časový multiplex)
- **možnost adaptace systému za běhu**  
systém je schopný reagovat na měnící se vnější podmínky (typ vstupních dat, změna komunikačního protokolu, ...)
- **úspora energie**  
např. správnou konfigurací technologie I/O portů (nízkonapěťové technologie v době mimo komunikaci)

## Nevýhody

- **doba rekonfigurace**  
během rekonfigurace (až desítky milisekund) nelze rekonfigurované zdroje využít k užitečným výpočtům
- **složitější ladění systémů využívajících DPR**  
chyba se může projevit pouze při specifické posloupnosti částečných rekonfigurací
- **relativně nová technologie**  
zatím nejde o komerčně příliš využívanou technologii

2 Rekonfigurace FPGA

6 Částečná dynamická rekonfigurace (DPR)

**11 Oblasti využití DPR**

15 Aplikace uplatňující DPR

18 Výzkumná skupina ANT@FIT

21 Literatura

Částečná dynamická rekonfigurace je obecně vhodná pro všechny aplikace, které umožňují zužítkovat některou z jejich předností.

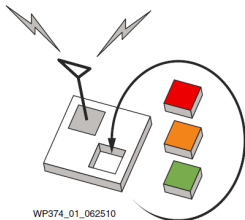
- **implementace komplexních úloh na malých FPGA**
  - s počtem zdrojů v FPGA klesá i jeho cena
  - uplatnění v oblasti embedded zařízení
- **adaptivní nebo samoopravující se systémy**
  - bez zásahu vývojáře může dojít k opravě chyby nebo přizpůsobení se chybnému chování
  - uplatnění v aplikacích, kde není možné provádět opravy (např. vesmírné mise)
- **systémy s nízkou spotřebou**
  - minimalizace spotřeby elektrické energie umožňuje využití FPGA pro zařízení napájená z baterie

## Princip SDR

- jde o bezdrátový komunikační systém, ve kterém zpracování přijímaného/vysílaného signálu probíhá především v SW
- pouze úpravou SW je tak možné systém přizpůsobit novým standardům, komunikačním protokolům a požadovaným funkcím (dříve by bylo nutné vyměnit HW součástky)

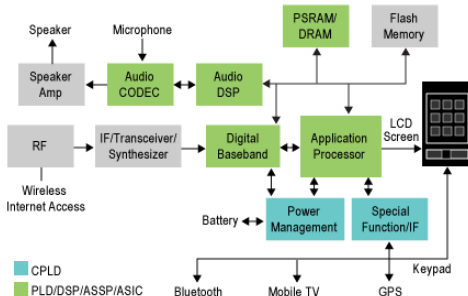
## Prostor pro využití DPR

- díky DPR je možné implementaci systému přesunout zpět do HW při zachování flexibility SDR
- úpravy spočívají v rekonfiguraci části systému, kterou chceme změnit



WP374\_01\_062510

- výrobci tradičně nabízejí alespoň jednu low-cost rodinu FPGA určenou pro nenáročné aplikace
  - **Spartan** u Xilinx
  - **Cyclone** u Altera
- díky jejich nízké ceně lze tuto FPGA využít i ve spotřební elektronice (např. smartphone, tablet)
- FPGA může implementovat funkce procesoru, řadičů periférií, zpracování signálů, ...



2 Rekonfigurace FPGA

6 Částečná dynamická rekonfigurace (DPR)

11 Oblasti využití DPR

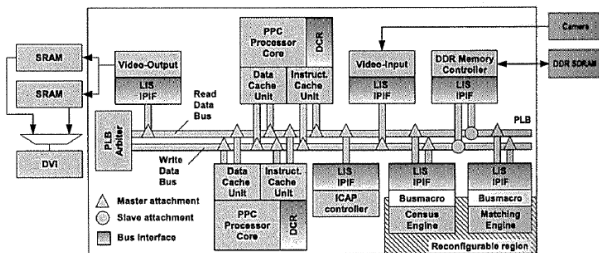
**15 Aplikace uplatňující DPR**

18 Výzkumná skupina ANT@FIT

21 Literatura

## Auto Vision - Reconfigurable Hardware Acceleration for Video-Based Driver Assistance

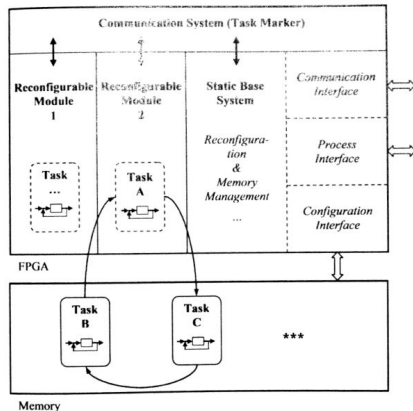
- FPGA se využívá pro **akceleraci filtrování obrazu** získaného v systému asistence řízení automobilu
- částečná dynamická rekonfigurace umožňuje **přizpůsobovat použitý obrazový filtr aktuálním vnějším podmínkám a prostředím** (dálnice, město, vjezd do tunelu, jízda ve dne či v noci,...)
- díky částečné dynamické rekonfiguraci může být použité FPGA menší (nikdy nejsou současně použity všechny filtry)





## Reconfigurable Controllers - A Mechatronic Systems Approach

- logika v FPGA je využita k implementaci řadiče mechatrického systému
  - mechatronika** = inženýrský přístup kombinující mechaniku, elektroniku, informační technologie a teorii řízení za účelem vytváření užitečných zařízení
- dynamická rekonfigurace se využívá k **adaptaci řadiče v systémech s měnícími se hardwarovými požadavky**



2 Rekonfigurace FPGA

6 Částečná dynamická rekonfigurace (DPR)

11 Oblasti využití DPR

15 Aplikace uplatňující DPR

**18 Výzkumná skupina ANT@FIT**

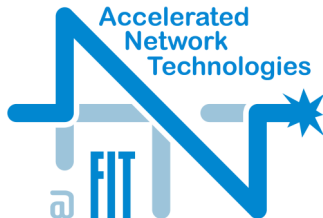
21 Literatura

## Výzkumná skupina akcelerovaných síťových technologií

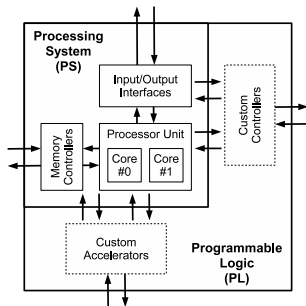
- výzkum v oblasti **využití částečné dynamické rekonfigurace v počítačových sítích**
- jedním z cílů je vývoj rekonfigurovatelné platformy pro sítě s přenosovými rychlostmi 40 a 100 Gb/s
- **možnosti zapojení pro studenty**
  - řešení výzkumných úkolů (např. v rámci IT4Innovations) - odměny formou DPP nebo stipendií
  - vypracování bakalářské či diplomové práce v rámci výzkumu
- pro nováčky máme připravený tutoriál ukazující práci s DPR krok za krokem

### Kontakt

- **Jiří Matoušek**  
imatousek@fit.vutbr.cz
- **Jan Kořenek**  
korenek@fit.vutbr.cz



- kombinace **dvoujádrového ARM Cortex-A9** o frekvenci až 800 MHz a **rekonfigurovatelné logiky** vyrobené 28 nm technologií
- součástí platformy je také množství řadičů periférií a různých typů statických či dynamických pamětí
- kombinace výkonného procesoru a rekonfigurovatelné logiky umožňuje budování **vykonných low-power systémů**
  - procesor implementuje řízení systému
  - rekonfigurovatelná logika slouží k akceleraci náročných výpočtů nebo připojení netradičních periférií



## 2 Rekonfigurace FPGA

## 6 Částečná dynamická rekonfigurace (DPR)

## 11 Oblasti využití DPR

## 15 Aplikace uplatňující DPR

## 18 Výzkumná skupina ANT@FIT

## 21 Literatura

- Tomáš Martínek: **Technologie FPGA**, PCS - Pokročilé číslicové systémy, FIT VUT v Brně
- Katherine Compton and Scott Hauck: **Reconfigurable Computing: A Survey of Systems and Software**, ACM Computing Surveys, Vol. 34, No. 2, June 2002, pp. 171–210
- David Dye: **Partial Reconfiguration of Xilinx FPGAs Using ISE Design Suite**, Xilinx White Paper, WP374 (v1.1), July 2011
- Marco Platzner, Jürgen Teich and Norbert Wehn (eds.): **Dynamically Reconfigurable Systems: Architectures, Design Methods and Applications**, Springer, 2010, ISBN 978-90-481-3484-7
- Altera Corporation: **Portable Applications**, dostupné online (duben 2012): <http://www.altera.com/end-markets/consumer/portable/csm-portable-ent.html>
- Xilinx, Inc.: **Zynq-7000 Extensible Processing Platform**, dostupné online (duben 2012): <http://www.xilinx.com/products/silicon-devices/epp/zynq-7000/>