

Oponentský posudek disertační práce

Název práce: Use of Verification for Testing Fault-Tolerance in FPGA-Based Systems

Autor: Ing. Jakub Podivínský

Školitel: Doc. Ing. Zdeněk Kotásek, CSc.

Předložená disertační práce se zabývá testováním technik pro odolný návrh v FPGA, se zaměřením na elektromechanické systémy. Za tímto účelem byla navržena testovací platforma založená na injekci poruch do FPGA a funkční verifikaci ověřující funkčnost celého systému a vyhodnocující vliv injektovaných poruch. Platforma byla ověřena na dvou experimentálních systémech – robotem pro hledání cesty v bludišti a elektronickém zámku.

Téma práce je aktuální, systémy odolné proti poruchám jsou stále více důležité. Smysl vyhodnocování skutečné odolnosti takových systémů, což je tématem práce, je bezesporný.

Dizertační práce je psána v anglickém jazyce a je koncipována jako souhrn autorových článků s průvodním textem (přes 40 stran nového textu). Text je dobře čitelný, s minimem gramatických chyb a překlepů.

Text je strukturován do následujících kapitol:

Kap. 1 (Introduction) uvádí do problematiky a prezentuje hlavní cíle DP.

Kap. 2 (Background) popisuje základní pojmy použité v DP a aktuální stav problematiky (state-of-the-art) v oblasti injekce poruch v FPGA. Ověřování větších systémů je krátce zmíněno v kap. 2.4.3.

Kap. 3 pak představuje vlastní přínos disertační práce. Sestává se shrnutí osmi publikací z mezinárodních konferencí a jednoho časopisu. Konkrétně:

Kap. 3.1 popisuje první zkoumaný systém, robota hledajícího cestu v bludišti. Je prezentován jako elektromechanická aplikace, kde řadič je implementován v FPGA a zbytek je pouze simulován. Výstupem je simulace vlivů injekce poruch, kde jsou shledána různá chování robota, z nichž jsou vytvořeny statistiky.

Kap. 3.2 prezentuje podobnou práci, ovšem s vyhodnocením vlivu poruch založeným na funkční verifikaci. Dále byla ověřena implementace odolná proti poruchám, kde některé bloky řadiče byly implementovány v TMR verzi. Zde je injektováno i více poruch najednou.

Kap. 3.3 využívá procesoru vestavěného v FPGA jako řadiče.

Kap. 3.4 představuje kombinaci experimentálního vyhodnocení a teoretické analýzy.

Kap. 3.5 pak ukazuje zobecnění navržené platformy pro testování jiného systému, elektronického zámku.

Kap. 4 prezentuje závěr, shrnutí přínosů práce a návrhy na další pokračování.

Výsledky práce byly prezentovány v sedmi člancích na mezinárodních konferencích, s autorovým sumárním podílem 283% a jednom článku v časopise (MICPRO) s podílem 38%. Dále se uchazeč podílel na několika publikacích na doktorandských workshopech. V neposlední řadě je spoluautorem několika publikací na mezinárodních konferencích, kde ovšem není hlavním autorem. Zdá se tedy, že uchazečova publikační činnost je dostačující. Je ovšem škoda, že ani na jedné publikaci není samotným autorem (nepočítaje školitele).

Připomínky a dotazy k obhajobě

- Nerozumím smyslu injekce více poruch s daným časovým intervalem (např. v kap. 3.4 parametr d_c . Vzhledem k tomu, že není implementován žádný mechanismus pro zotavení z poruch, nemůže zde být žádný vliv času. Naopak, kdyby takový mechanismus byl implementován, zkoumání dynamického chování takového systému by mohlo být zajímavé.
- Kap. 3.4: výpočet spolehlivosti (rovnice 3.3) neuvažuje spolehlivost voteru. Proč?
- Jedním z proklamovaných výsledků je evaluační platforma. Tato není nikde v textu popsána (interface, způsoby použití, možnosti, ...). Jisté informace lze dohledat v jednotlivých podkapitolách a v článcích, ale vzhledem k tomu, že tato platforma se postupně vyvíjela, očekával bych zvláštní kapitolu dokumentující její poslední stav.
- Hlavní otázkou je, jakou užitečnou informaci poskytují dosažené experimentální výsledky (toto se týká v podstatě všeho, od kap. 3.1). Lze očekávat, že některé poruchy budou maskované a některé způsobí různá neočekávaná chování mechanických částí. Lze očekávat, že při injekci více poruch bude více chyb. Lze očekávat, že při použití TMR bude více poruch maskovaných. Tudíž zjištěné chování není nijak překvapivé. Takže otázkou je, jak mohou být naměřená data použita dále, např. pro další zvyšování spolehlivosti.

Závěr

I přes výše zmíněné připomínky lze konstatovat, že uchazeč je dostatečně vědecky erudovaný, předložená práce odpovídá obecně uznávaným požadavkům k udělení akademického titulu Ph.D. a doporučuji ji k obhajobě.

V Davli, 6. 6. 2021

doc. Ing. Petr Fišer, Ph.D.
České vysoké učení technické v Praze
Fakulta informačních technologií