

Oponentní posudek disertační práce

Autor práce: **Ing. Jakub Podivínský**

Department of Computer Systems, Faculty of Information Technology, Brno University of Technology

Název práce:

Use of Verification for Testing Fault-tolerance in FPGA-based Systems

(Využití verifikace pro ověřování odolnosti proti poruchám u systémů založených na FPGA)

Předmětem předložené práce je návrh a implementace experimentální platformy podporující funkční ověření (functional verification) návrhu elektronického řídicího systému (kontroleru) implementovaného prostřednictvím obvodu FPGA. Předložená metodika verifikace pracuje i s modelem řízeného (elektromechanického) objektu a speciálně se zaměřuje na sledování vlivu přechodných poruch v kontroleru na chování řízeného elektromechanického objektu. Práce využívá již dříve vyvinutou a implementovanou techniku injekce poruch typu SEU do FPGA obvodů. Práce do určité míry shrnuje v posledních letech probíhající výzkumné aktivity skupiny Dependable Systems Group vedené doc. Kotáskem na Katedře počítačových systémů FIT VUT Brno v oblasti návrhu spolehlivých elektronických systémů a jejich implementace prostřednictvím FPGA.

Oceňuji, že práce je velmi přehledně koncipována jako komentovaný soubor celkem osmi vědeckých článků publikovaných na mezinárodních vědeckých konferencích (celkem 7 příspěvků) a ve vědeckých časopisech (jeden článek v časopisu *Microprocessors and Microsystems*) v období let 2014 až 2020. U všech těchto publikací je Ing. Podivínský uveden jako první autor a jeho podíl na publikacích je dle údajů uvedených v práci dominantní.

Práce je strukturována následovně. V první kapitole je vysvětlena motivace a postulovány cíle práce. Ve druhé kapitole jsou stručně a přehledně rekapitulovány základní pojmy využívané v práci. Poněkud postrádám tradiční přehled „state of the art“, ten je ale do značné míry proveden v publikovaných článcích. Ve třetí kapitole, která je v tradičním pohledu jádrem práce, je uveden přehled osmi publikovaných článků s vysvětlením návazností na cíle práce a s komentářem jejich motivace a komentářem experimentálních výsledků. Prvních sedm článků využívá v popisovaných experimentech jako řízený elektromechanický objekt klasickou myš (robot) hledající cestu v bludišti, poslední osmý článek dokumentuje jak použít navrhovanou verifikační strukturu (platformu) při změně verifikované aplikace (demonstrace vlastnosti *scalability*). Ve čtvrté kapitole je závěr, vyhodnocení splnění cílů práce a výhled aktivit (future work) do budoucnosti. Dále v příloze následují texty všech osmi publikovaných článků, jejichž je předložená práce souhrnem.

Cíle stanovené v předložené disertační práci lze považovat za splněné. Byla navržena a implementována originální metodologie pro verifikaci řídicích systémů se zvýšenou spolehlivostí založených na FPGA obvodech. Za originální považuji zejména možnost vyhodnocovat vliv poruch až na chování řízeného objektu.

Práce je psána anglicky a po formální stránce je zpracována velmi srozumitelně a pečlivě. Vlastní práce obsahuje po formální stránce jen drobné chyby a překlepy. Rovněž autorova angličtina je dobře čitelná a svědčí o jeho publikační zkušenosti. V práci jsem

nenalezl žádné věcné ani formální chyby. Rovněž zpracování článků, jejichž je práce souhrnem, je ukázkové z pohledu *desk-top-publishing*.

K předložené disertační práci mám následující otázky, na které by měl autor reagovat v průběhu obhajoby:

1. V publikacích F,G je popsáno experimentální určení pravděpodobnosti bezporuchového provozu $R(t)$. (reliability) a porovnání příslušných křivek pro několik ověřovaných případů. Jak byla určena referenční (žlutě kreslená) křivka závislosti $R(t)$? A čím lze vysvětlit ostrý zlom všech křivek na konci vyhodnocovaného časového intervalu?
2. Elektromechanické aplikace použité pro demonstraci navrhované verifikační platformy (tj. robot v bludišti, krokový motor realizující elektronický zámek) nejsou kritické z hlediska času provedení řídicích zásahů. Vyžadovala by navržená metodika verifikace nějaké změny pro aplikace, kde musí být dodržen časový limit pro realizaci řídicího zásahu elektronického kontroleru (*real time* či *hard real time* aplikace).
3. Byl už navrhovaný postup funkční verifikace FPGA kontroleru použit v nějaké „ostré“ aplikaci pro průmysl? Popřípadě je něco takového ve výhledu?

Závěr:

Námět práce odpovídá oboru disertace a je velmi aktuální z hlediska současného stavu počítačové vědy. Výsledky předložené disertační práce lze považovat za původní. Práce dokumentuje vědeckou erudici a široký přehled autora v oblasti počítačové vědy a inženýrství. Rovněž dokumentuje jeho schopnost pracovat v širším vědeckém teamu a prezentovat jeho výsledky. Kvalita publikací doktoranda je velmi dobrá a převyšuje úroveň obvyklou pro udělení titulu Ph.D v oblasti počítačových věd. Nicméně doporučuji následné zpracování souhrnné časopisecké publikace (shrnující použitý přístup a dosažené výsledky), jejímž by byl Ing. Podivínský jediným autorem.

Práci doporučuji k obhajobě a dále doporučuji následné udělení titulu Ph.D v souladu s příslušnými ustanoveními zákona ČR o vysokých školách.

V Plzni 27.5.2021

Doc. Ing. Stanislav Racek, CSc.
Katedra informatiky a výpočetní techniky
Fakulta aplikovaných věd ZČU
Univerzitní 22, 30614 Plzeň