

# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ  
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY  
DEPARTMENT OF COMPUTER SYSTEMS

## DIGITÁLNÍ OSCILOSKOP NA BÁZI OBVODŮ FPGA

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

BRUNO KREMEL

BRNO 2013



**VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ**  
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA INFORMAČNÍCH TECHNOLOGIÍ**  
**ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ**

FACULTY OF INFORMATION TECHNOLOGY  
DEPARTMENT OF COMPUTER SYSTEMS

# **DIGITÁLNÍ OSCILOSKOP NA BÁZI OBVODŮ FPGA**

DIGITAL OSCILLOSCOPE USING FPGA CIRCUITS

**BAKALÁŘSKÁ PRÁCE**  
BACHELOR'S THESIS

**AUTOR PRÁCE**  
AUTHOR

**BRUNO KREMEL**

**VEDOUCÍ PRÁCE**  
SUPERVISOR

**Ing. VÁCLAV ŠIMEK,**

BRNO 2013

## **Abstrakt**

Cílem této práce je vytvoření digitálního paměťového osciloskopu s logickým analyzátozem tzv. osciloskop pro smíšené signály s využitím obvodů FPGA. Práce popisuje vývoj FPGA kitu jakožto digitální části zařízení. Dále popisuje vývoj analogové části osciloskopu, kde se práce zaměřuje na simulaci vstupních obvodů s využitím modelu osciloskopické sondy, umožňující zjistit předpokládané parametry osciloskopu jako celku. Nakonec je popsán vývoj příslušného firmwarového a softwarového vybavení. Zařízení bylo realizováno s úspěšným dosažením stanovených cílů.

## **Abstract**

The purpose of this thesis is to create a digital storage oscilloscope with logic analyzer so-called Mixed-Signal Oscilloscope utilizing FPGA circuits. Thesis covers development of a FPGA kit as digital circuit of device. Furthermore it covers development of analog circuits, where main focus is to simulate input circuits utilizing model of oscilloscope probe, giving expected parameters of oscilloscope. Finally, thesis covers development of necessary firmware and software. The device has been implemented successfully achieving specified goals.

## **Klíčová slova**

osciloskop pro smíšené signály, FPGA, USB

## **Keywords**

Mixed-Signal Oscilloscope, FPGA, USB

## **Citace**

Bruno Kremel: Digitální osciloskop na bázi obvodů FPGA, bakalářská práce, Brno, FIT VUT v Brně, 2013

# Digitální osciloskop na bázi obvodů FPGA

## Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně pod vedením Ing. Václava Šimka. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

.....  
Bruno Kremel  
13. mája 2013

## Poděkování

Chcel by som poďakovať pánovi Ing. Václavovi Šimkovi za odborné vedenie práce, za cenné rady pri návrhu viacvrstvovej dosky a realizácii zariadenia, ďalej za zapožičanie potrebného vybavenia. Pánovi Ing. Zdeňkovi Vašíčkovi Ph.D. za cenné rady ohlade FPGA a za zapožičanie modulu FT2232H a laboratórneho zdroja. A v neposlednej rade firme AJ Technology za rýchlo a kvalitne odvedenú prácu pri osádzaní digitálnej dosky.

© Bruno Kremel, 2013.

*Tato práce vznikla jako školní dílo na Vysokém učení technickém v Brně, Fakultě informačních technologií. Práce je chráněna autorským zákonem a její užití bez udělení oprávnění autorem je nezákonné, s výjimkou zákonem definovaných případů.*

# Obsah

<b>1</b>	<b>Úvod</b>	<b>3</b>
<b>2</b>	<b>Koncepcia</b>	<b>4</b>
2.1	Cieľ	4
2.2	Koncepcia zariadenia	4
2.3	Charakteristika súčasného stavu	5
2.3.1	Dosky Flashy/Pluto	5
2.3.2	OpenBench Logic Sniffer	6
2.3.3	USBee RX	6
<b>3</b>	<b>Digitálna doska</b>	<b>8</b>
3.1	Koncepcia	8
3.2	Návrh	8
3.3	Výber FPGA	9
3.3.1	Napájacie zdroje	9
3.3.2	USB a programovacie rozhranie	9
3.3.3	Zapojenie SDRAM	10
3.3.4	Zapojenie I/O vývodov	10
3.4	Realizácia	10
3.4.1	Doska plošných spojov	10
3.4.2	Oživenie	10
<b>4</b>	<b>Analógová doska</b>	<b>11</b>
4.1	Koncepcia	11
4.2	Návrh	11
4.2.1	AD prevodník	12
4.2.2	Vstupný obvod osciloskopu	13
4.2.3	Zdroj záporného napájacieho napätia pre predzosilňovač	18
4.2.4	Zapojenie AD prevodníku	20
4.2.5	Zdroj referenčných napätí AD prevodníkov	20
4.2.6	Zdroj hodinového signálu	21
4.2.7	Logický analyzátor	21
4.2.8	Nastaviteľný zdroj napätia pre logický analyzátor	22
4.3	Realizácia	22
4.3.1	Doska plošných spojov	22
4.3.2	Oživenie	23

<b>5</b>	<b>Firmware pre FPGA</b>	<b>24</b>
5.1	Koncepcia . . . . .	24
5.2	Implementácia . . . . .	25
5.2.1	Modul decimátora . . . . .	25
5.2.2	Modul digitálneho decimátora . . . . .	26
5.2.3	Modul deličky hodín pre decimátor . . . . .	27
5.2.4	Analógový trigger . . . . .	27
5.2.5	Digitálny trigger . . . . .	28
5.2.6	Vyrovňavacia pamäť . . . . .	28
5.2.7	Modul pre ovládanie DAC pre referenčné napätia . . . . .	29
5.2.8	Modul ovládania digitálneho potenciometra zdroja logického analyzátora . . . . .	30
5.2.9	Radič FT245 . . . . .	30
5.2.10	Modul kontroléra . . . . .	31
<b>6</b>	<b>Softwarová časť</b>	<b>33</b>
6.1	Koncepcia . . . . .	33
6.2	Implementácia . . . . .	34
6.2.1	Modul Datamodel . . . . .	34
6.2.2	Modul GUI . . . . .	35
6.2.3	Modul Device . . . . .	37
6.2.4	Utility . . . . .	38
<b>7</b>	<b>Záver</b>	<b>39</b>
<b>A</b>	<b>Úplná schéma digitálnej dosky</b>	<b>43</b>
A.1	Schéma USB a programovacieho rozhrania . . . . .	45
A.2	Schéma napájacích zdrojov . . . . .	46
A.3	Schéma IO konektorov . . . . .	47
A.4	Schéma zapojenia pamäte SDRAM . . . . .	48
<b>B</b>	<b>Úplná schéma analógovej dosky</b>	<b>49</b>
B.1	Schéma analógového vstupu a ADC . . . . .	50
B.2	Schéma napájacieho zdroja a zdroja referenčných napätí . . . . .	52
B.3	Schéma logického analyzátora . . . . .	54
<b>C</b>	<b>Obraz dosky plošných spojov digitálnej dosky</b>	<b>55</b>
<b>D</b>	<b>Obraz dosky plošných spojov analógovej dosky</b>	<b>58</b>
<b>E</b>	<b>Obsah CD</b>	<b>61</b>
<b>F</b>	<b>Manuál</b>	<b>62</b>
F.1	Hardware . . . . .	62
F.2	Firmware . . . . .	62
F.3	Software . . . . .	62
<b>G</b>	<b>Fotografie realizovaného zariadenia</b>	<b>64</b>
<b>H</b>	<b>Snímky obrazovky aplikácie</b>	<b>66</b>

# Kapitola 1

## Úvod

Osciloskop je v elektrotechnickej praxi nenahraditeľným zariadením na hľadanie príčin porúch pri oprave zariadení a vývoji nových zariadení. Princíp osciloskopu sa až do éry digitálnych osciloskopov prakticky nezmenil, osciloskop priamo ovládal lúč elektrónov vychyľovacími doskami, kde bolo vertikálne vychyľovanie najčastejšie pripojené na meraný signál a horizontálne na časovú základňu. Tento lúč zanechával čiaru predstavujúcu priebeh meraného signálu na fosfore tienidla. Hlavnou nevýhodou analógového osciloskopu je to, že zobrazenie priebehu prebiehalo v reálnom čase, takže veľmi krátke výkyvy v signále mohli byť nepozorované. Tieto problémy sa riešili fosforom s dlhším reakčným časom (čím sa zas naopak znížila schopnosť pozorovať vyššie frekvencie) prípadne boli osciloskopy vybavené fotoaparátom.

Naproti tomu digitálne osciloskopy signál vzorkujú a ukladajú do pamäte a v závislosti od nastavení triggeru<sup>1</sup> periodicky zobrazujú časť priebehu, zatiaľčo je možné tento priebeh ukladať do pamäte a späťne prezeráť. Tieto typy osciloskopov sa v literatúre [22] nazývajú Digital Storage Oscilloscope (DSO) alebo digitálny pamäťový osciloskop. Nevýhodou tohoto spôsobu však je to, že zobrazovanie neprebíha v reálnom čase - vždy sa najprv navzorkuje určité množstvo vzoriek, ktoré sa následne analyzuje a zobrazuje.

Keďže v praxi, hlavne v oblasti informačných technológií, sa dnešné digitálne osciloskopy často používajú na vývoj a opravu digitálnych zariadení tak často ďalej obsahujú funkciu logického analyzátoru. Výhodou takejto koncepcie je zarovnanie analógových signálov spolu s digitálnymi v spoločnom grafe, čím je možné merať obvody, ktoré majú digitálne aj analógové časti. Takéto osciloskopy sa v literatúre [26] nazývajú Mixed-Signal Oscilloscope (MSO) alebo osciloskop pre zmiešané signály. Táto práca sa zaoberá práve návrhom takéhoto typu osciloskopu.

V kapitole 2 je stanovený cieľ a ďalej diskutovaná celková koncepcia zariadenia a dôvody voľby takéhoto riešenia. Kapitola 3 sa zaoberá návrhom, realizáciou a oživením FPGA kitu. Kapitola 4 pojednáva o návrhu a simuláciách použitých počas návrhu analógovej časti zariadenia a nakoniec o samotnej realizácii a oživení dosky. Kapitola 5 potom popisuje vývoj firmware a kapitola 6 popisuje vývoj software.

---

<sup>1</sup>Často aj spúšť - zariadenie ktoré sleduje charakteristiku signálu, pri ktorom je spustený záznam

# Kapitola 2

## Koncepcia

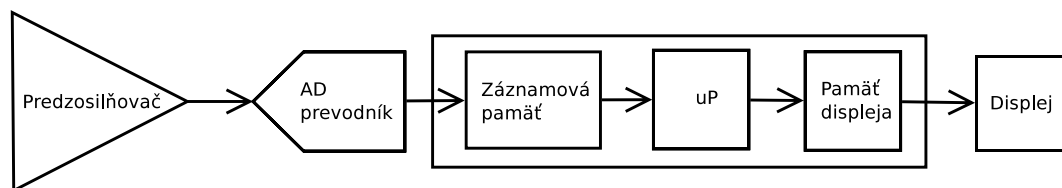
Pred samotným návrhom koncepcie zariadenia si treba najprv stanoviť cieľ, z ktorého sa následne vychádza pri návrhu zariadenia. Ďalej sú pre porovnanie uvedené existujúce riešenia.

### 2.1 Cieľ

Cieľom práce je vytvorenie prípravku pracujúceho ako osciloskop pre zmiešané signály (MSO) primárne na využitie vo výuke. Po dohode z vedúcim práce sme dospeli k požadovaným parametrom, ktoré by dostačovali na praktické využitie zariadenia pri meraní signálov zbernice PCI. Z toho vyplýva minimálna merateľná frekvencia 33MHz. Ďalej bolo definované, že zariadenie bude disponovať dvoma analógovými vstupmi a 16-bitovým logickým analyzátorom. K modulu digitálneho osciloskopu bolo zvolené vytvorenie vlastného FPGA kitu s ktorým modul osciloskopu pracuje.

### 2.2 Koncepcia zariadenia

Literatúra [22] uvádza štandardnú koncepciu digitálneho osciloskopu typu DSO zobrazenú na obr. 2.1.



Obr. 2.1: Koncepcia osciloskopu typu DSO podľa [22]

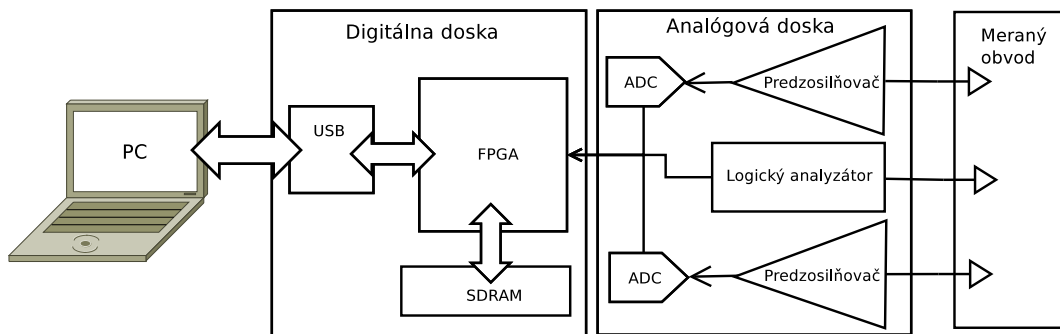
Takýto osciloskop obsahuje na vstupe predzosilňovač, ktorý upravuje signál do podoby, ktorú je možné spracovať AD prevodníkom. AD prevodník vzorkuje meraný signál a ukladá vzorky do záznamovej pamäte, následne vzorky spracuje mikroprocesor a pošle výsledný obraz do pamäte displeja, displej navzorkovaný priebeh zobrazí. Mikroprocesor ďalej vykresľuje užívateľské rozhranie a spracováva príkazy prichádzajúce z ovládacích prvkov.

Vzhľadom na možné využitie v laboratóriách kde sú k dispozícii PC a vzhľadom na zníženie zložitosti zariadenia som vylúčil typickú koncepciu existujúcu už pri analógových



zariadeniach a teda samostatné zariadenie s obrazovkou a ovládacími prvkami. Preto navrhované riešenie predstavuje zariadenie používané ako periférne zariadenie k PC.

Keďže navrhované zariadenie nemá vlastnú obrazovku tak typická koncepcia bola zmenená. Navrhovaný osciloskop záznamovú pamäť a časť úlohy mikroprocesora zabezpečuje pomocou FPGA a SDRAM, v úlohe displeja a užívateľského rozhrania je použité PC. Navyše návrh obsahuje logický analyzátor. Na obr. 2.2 je možné vidieť že osciloskop sa skladá z hardvérovej časti - USB periférie ktorá slúži na vzorkovanie meraných signálov a obsluhu softwaru pre PC, ktorý slúži ako používateľské rozhranie osciloskopu.



Obr. 2.2: Koncepcia zariadenia

**Hardwarová časť** Zariadenie sa skladá z dosky digitálnej a analógovej. Analógová doska obsahuje 2 analógové vstupy a 16 digitálnych. Zabezpečuje prevod analógových hodnôt na digitálne, pri digitálnych vstupoch zabezpečuje prevádzanie logických úrovní. Digitálna doska zabezpečuje transformáciu a dočasné ukladanie nameraných vzoriek a ich následné odoslanie do PC.

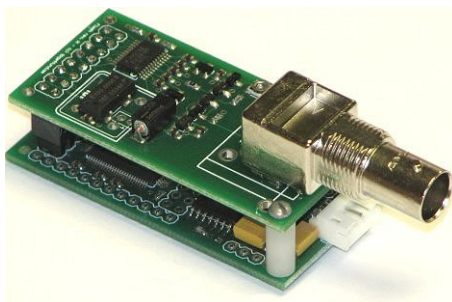
**Softwarová časť** Softwarová časť na PC vychádza zo softwaru s podobným zameraním. Konkrétne používateľské rozhranie sa podobá na programy na prezeranie priebehov signálu (napr. GTKWave, ISIM), ktoré rozširuje o ovládacie prvky pre obsluhu záznamu vzoriek z osciloskopu. Software kladie dôraz na využitie zariadenia ako pamäťového osciloskopu (tzv. „single-shot“ mód), umožňuje však aj meranie v režime klasického osciloskopu (tzv. „real-time“ mód).

## 2.3 Charakteristika súčasného stavu

Zariadení podobného zamerania a koncepcie existuje viacero, v tejto časti rozoberiem niektoré z nich a uvediem ich prednosti, ktoré boli využité v návrhu konečného zariadenia.

### 2.3.1 Dosky Flashy/Pluto

Toto zariadenie reprezentuje digitálny osciloskop ako periférne zariadenie PC pripojené cez zbernicu RS232. Je riešené veľmi podobne ako navrhované zariadenie.

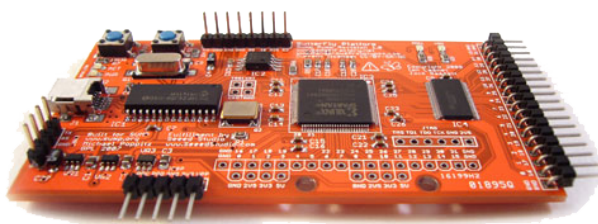


Obr. 2.3: Doska Pluto a Flashy

Zariadenie je koncipované modúlárne. Doska s obvody FPGA - Pluto je oddelená od dosky s obvody AD prevodníkov - Flashy. Sortiment dosiek Flashy disponuje modelmi pracujúcimi na maximálnej vzorkovacej frekvencii 200MHz na 8 bitoch [7]. Vstup analógového signálu je riešený BNC konektormi, ktoré umožňujú používať bežné osciloskopové sondy.

### 2.3.2 OpenBench Logic Sniffer

Toto zariadenie predstavuje logický analyzátor ako periférne zariadenie PC pripojené cez zbernicu USB.



Obr. 2.4: OpenBench Logic Sniffer

Zariadenie využíva zbernicový transceiver<sup>1</sup> na to, aby umožnil pripájať zariadenia s rôznymi logickými úrovňami, maximálna vzorkovacia frekvencia je 200MHz pri použití 16 kanálov a 100MHz pri použití 32 kanálov. Na spracovanie vstupných signálov sa používa FPGA.

### 2.3.3 USBee RX

Predstavuje komerčnú sféru zariadení tejto triedy. Zastupuje osciloskop pre zmiešané signály, teda zahŕňa funkčnosť osciloskopu aj logického analyzátoru.

<sup>1</sup>Zariadenie umožňujúce obojsmerne prenášať logické signály, pričom umožňuje meniť logickú úroveň jednotlivých strán transceiveru, vychádza z anglických slov TRANSMITTER a RECEIVER, v preklade vysielateľ a prijímač



Obr. 2.5: USBee RX

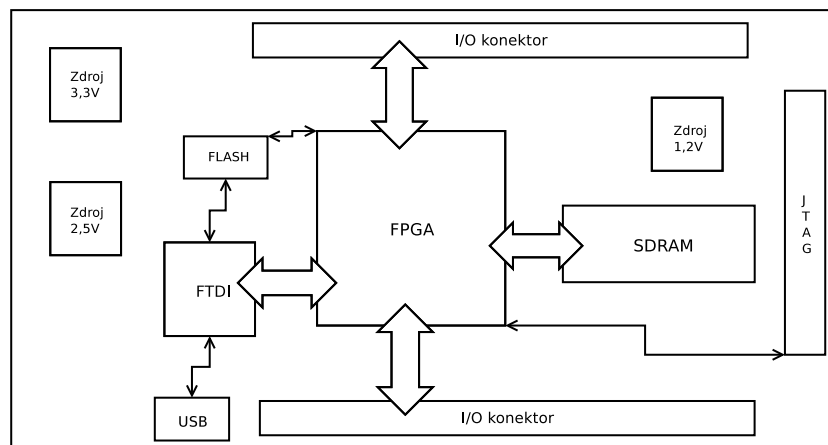
Disponuje dvomi analógovými a 18 digitálnymi vstupmi. Analógové vstupy vzorkujú na maximálnej frekvencii 100MHz na 10 bitoch. Digitálne vstupy umožňujú vzorkovať na maximálne 600MHz. Zariadenie ďalej disponuje digitálnymi a analógovými generátormi signálu. Klientský software na PC umožňuje analýzu signálu rôznych zberníc napr. I2C, SPI, USB.

## Kapitola 3

# Digitálna doska

### 3.1 Konceptcia

Digitálna doska predstavuje vytvorený FPGA kit. Obsahuje FPGA, USB rozhranie a pamäť SDRAM. USB rozhranie je použité na komunikáciu s PC a programovanie konfigurácie FPGA, FPGA priamo signály prichádzajúce z analógovej dosky, ovláda analógovú dosku, spracúva a ukladá namerané vzorky, ktoré následne posiela pomocou USB rozhrania do PC.



Obr. 3.1: Konceptcia digitálnej dosky

Pamäť SDRAM je možné využiť na dočasné ukladanie vzoriek signálu pred ich odosláním do PC. Doska ďalej obsahuje tri zdroje napájania. Keďže doska má vyvedené I/O vývody FPGA na konektorové lišty, je možné dosku v podobe FPGA kitu využiť aj na pripojenie iných modulov ako osciloskopu.

### 3.2 Návrh

Na začiatok bolo najprv treba vybrať model FPGA od ktorého sa definoval celý návrh dosky. Návrh digitálnej dosky prebehol s tým, že sa využili referenčné návrhy firmy Xilinx a FTDI, popis konfiguračného rozhrania FPGA a dokumentácia k zdrojom napájania. Simulácia v prípade digitálnej dosky nie je použiteľná z dôvodu zložitej simulácie komplexnej

kombinácie obvodov nachádzajúcich sa na tejto doske. Schéma bola zachytená v software Eagle CAD, s pomocou ktorého bola potom navrhnutá doska plošných spojov.

### 3.3 Výber FPGA

Výber FPGA je definovaný hlavne potrebným počtom IO vývodov analógovej dosky. Na výber sú vyhovujúci prakticky dvaja výrobcovia, a to Xilinx a Altera. Vzhľadom na predošlé skúsenosti s FPGA firmy Xilinx vďaka vývojovému kitu FITKIT [23] som zvolil sortiment tejto firmy. Prvým krokom vo výbere FPGA je výber rodiny FPGA. Vzhľadom na požadovanú aplikáciu postačuje rodina Spartan od firmy Xilinx.

Pôvodne bol zvolený model Spartan 3 s 208 nožičkovými vývodmi, rovnaký ako sa nachádza na FITKITe [23], avšak táto rada je už výbehová a ťažšie dostupná. Z toho dôvodu bol nakoniec po konzultácii s vedúcim práce zvolený model Spartan 6 v BGA<sup>1</sup> púzdre s 324 vývodmi, ktorý bol dostupný na ústave. Konkrétny použitý model je XC6LX25. Ďalšou výhodou zvoleného modelu je väčšia kapacita jednotlivých komponent FPGA a značne menšie rozmery.

#### 3.3.1 Napájacie zdroje

Napájacie zdroje prevádzajú napájacie napätie 5V dodávané USB zbernicou alebo externým zdrojom na napätia potrebné pre logiku FPGA a ostatných súčiastok. Všetky napájacie zdroje sú zapojené podľa príslušných dokumentácií - zdroj 3,3V [10], zdroj 2,5V [10] a zdroj 1,2V [8]. Schému zapojenia možno nájsť v prílohe A.2.

#### 3.3.2 USB a programovacie rozhranie

Čip FTDI FT2232H zabezpečuje prevod medzi sériovým USB rozhraním a paralelným rozhraním pre komunikáciu s FPGA, umožňuje taktiež priamy prístup k pamäti FLASH kde je uložená konfigurácia FPGA. Zapojenie rozhrania FTDI je prebraté z webu [4] a dokumentácie [5]. Z rozhrania je vyvedená synchronná zbernica FT245, pomocou ktorej sa prenášajú dáta medzi FTDI čipom a FPGA. Prenos dát v špičkách dosahuje priepustnosť až 40MB/s v smere odosielania dát z FPGA do PC.

Ďalej je vyvedené rozhranie SPI pre komunikáciu s pamäťou FLASH a dva ovládacie vodiče: vodič označený INIT\_B pre ovládanie priebehu načítavania konfigurácie FPGA z pamäte FLASH, ktorý po načítaní konfigurácie funguje ako RESET pre dizajn nahratý vo FPGA a vodič označený PROGRAM\_B pre nastavenie FPGA do režimu vysokej impedance. Konfigurácia FPGA je v režime Master Serial/SPI podľa [17]. Zapojenie je uvedené v prílohe na schéme A.1.

Konfigurácia FPGA prebieha tak, že programovací software prostredníctvom FTDI nastaví vodič PROGRAM\_B do logickej nuly. V tejto chvíli prejde FPGA do režimu vysokej impedance a umožní priamy prístup na zbernicu SPI obsluhujúcu pamäť FLASH, čo dovoľí softwaru prostredníctvom čipu FTDI nahráť konfiguráciu do pamäte FLASH. FPGA je možné tiež konfigurovať pomocou rozhrania JTAG<sup>2</sup>. Dizajn vo FPGA je časovaný hodinami o frekvencii 60MHz, ktoré generuje FTDI pre synchronizáciu komunikácie po zbernici FT245 a takisto je časovaný oscilátorom analógovej dosky o frekvencii 150MHz.

<sup>1</sup>Púzdro súčiastok, ktoré neobsahuje vývody v podobe nožičiek, ale vývody sú vytvorené kovovými guľôčkami na spodnej strane púzdra

<sup>2</sup>Joint Test Action Group - štandardizovaný konektor využívaný na metódu „boundary scan“ na testovanie spojení na doskách, často je využívaný aj na programovanie konfigurácií

### 3.3.3 Zapojenie SDRAM

Zapojenie SDRAM vychádza z dokumentácie [6]. Všetky I/O vývody pamäte sú pripojené na I/O vývody FPGA. Schému zapojenia možno nájsť v prílohe A.4.

### 3.3.4 Zapojenie I/O vývodov

Na I/O bloky FPGA sú pripojené vývody na konektorové lišty, na ktoré je možné pripojiť analógovú dosku. Na doske sa ďalej nachádzajú indikačné LED diódy, ktorými je možné sledovať stav zariadenia. Schému zapojenia možno nájsť v prílohe A.3.

## 3.4 Realizácia

### 3.4.1 Doska plošných spojov

Najväčším problémom bol návrh dosky plošných spojov, ktorá je podstatne zložitejšia ako v prípade analógovej dosky. Vzhľadom na použité FPGA, ktoré je dostupné len v púzdre typu BGA, bolo nutné dosku navrhnuť na 4 vrstvách, kde bolo treba brať na zreteľ pomerne vysoké frekvencie, ktoré sa na doske objavujú a zabezpečiť aby nenastávalo rušenie medzi signálmi, prípadne odrazy v signálových cestách.

Ďalej bolo treba dobre rozvrhnúť vývody signálov pod BGA púzdrom, aby signálové cesty boli čo najkratšie, a zároveň boli signály pripojené na potrebné I/O bloky FPGA, kde napríklad na vstup hodín je možné použiť len vývody označené GCLK, ktorých je obmedzené množstvo.

Z týchto dôvodov návrh prebehol v niekoľkých iteráciách, kde boli postupne signálové cesty skracované a bolo znižované množstvo krížení.

Pri návrhu tejto dosky sa objavovali úskalia návrhového softwaru Eagle CAD, kde mnoho vecí, ktoré pokročilejší software automatizuje, bolo nutné spraviť ručne, a to hlavne vyvedenie signálov pod BGA. Návrh dosky plošných spojov je možné nájsť v prílohe C.

Ďalej osadenie muselo prebehnúť v špecializovanej firme, ktorá je schopná obvody typu BGA osadiť. Ostatné súčiastky sú štandardné súčiastky plošnej montáže (SMD).

### 3.4.2 Oživenie

Digitálna doska sa musela oživiť ako prvá z toho dôvodu, že analógová doska vyžaduje zdroje napájania, ktoré digitálna doska poskytuje, a zároveň potrebuje riadiace signály z digitálnej dosky.

Samotné oživenie prebiehalo tak, že sa najprv doska premerala multimetrom na zistenie skratov, pričom bola zistená chyba v priechodkách napájacieho konektora, ktoré spôsobovali skrat medzi vnútornými vrstvami (napájacia a zemniaca plocha). Túto chybu je možné pripísať návrhovému softwaru Eagle, v ktorom kontrola nezaregistrovala skrat vytvorený frézovaním. Z toho dôvodu musel byť konektor odstránený a priechodky odvrátené. Následne bolo z laboratórneho zdroja privedené napájanie 5V s obmedzením prúdu na 100mA, ktoré by chránilo dosku v prípade neodhaleného skratu. Doska však zapla bez problémov.

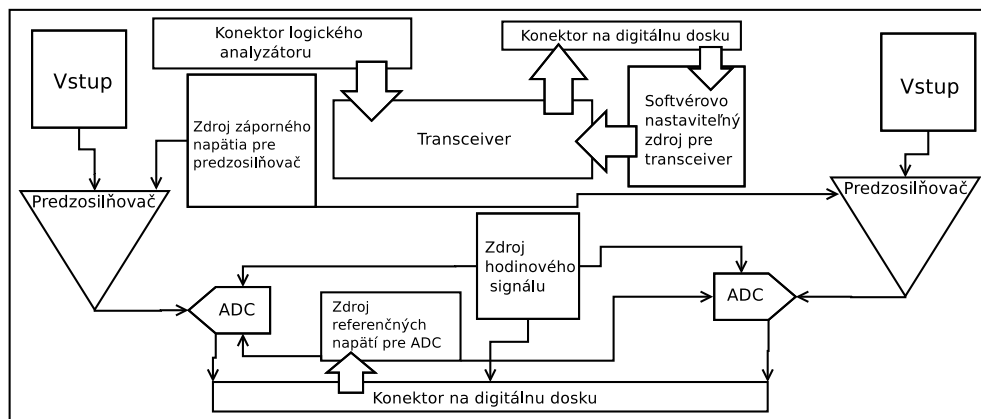
Potom bola pomocou programovacieho softwaru nahratá konfigurácia FPGA cez FTDI, avšak FPGA túto konfiguráciu nerozpoznalo. Následne bol použitý Xilinx Platform USB Cable II pripojený na konektor JTAG a programovací software od firmy Xilinx iMPACT. Konfigurácia nahratá touto metódou bola rozpoznaná a správna funkčnosť sa prejavila rozsvietením naprogramovanej kombinácie indikačných LED diód.

## Kapitola 4

# Analógová doska

### 4.1 Konceptcia

Analógová doska obsahuje dva AD prevodníky, ktoré vzorkujú meraný signál, ktorý je upravený predzosilňovačmi na úroveň, ktorú dokážu AD prevodníky spracovať. Doska ďalej obsahuje zbernicový transceiver v úlohe logického analyzátora, zdroj hodinového signálu pre AD prevodníky a FPGA, zdroj záporného napájacieho napätia pre predzosilňovač, zdroj referenčných napätí pre AD prevodníky a softwarovo nastaviteľný zdroj napájania pre nastavovanie logických úrovní zbernicového transceivera.



Obr. 4.1: Konceptcia analógovej dosky

### 4.2 Návrh

Pred samotným návrhom analógovej dosky bolo nutné vybrať AD prevodník. Návrh následne prebehol s pomocou simulačného softwaru LTSpice IV, v ktorom boli navrhnuté hlavne čisto analógové časti zapojenia. Rovnako ako v prípade digitálnej dosky bola schéma zachytená v software Eagle CAD, s pomocou ktorého bola potom navrhnutá doska plošných spojov.

### 4.2.1 AD prevodník

Základom digitálneho osciloskopu je AD prevodník. Z jeho parametrov sú definované parametre celého osciloskopu, preto je jeho výberu treba venovať zvýšenú pozornosť. V krátkosti popíšem jednotlivé typy AD prevodníkov a prednosti a úskalia zvoleného modelu.

#### Typy AD prevodníkov

Následujúci popis AD prevodníkov vychádza z literatúry [24].

**Integračné AD prevodníky** Integračné AD prevodníky fungujú na princípe integrovania (priemerovania) vstupu za určitý pevne daný časový interval za cieľom redukovania šumu a eliminovania rušivých signálov. Z toho dôvodu sú tieto AD prevodníky vhodné na digitalizáciu signálov s nízkou frekvenciou. Integračný čas je zvyčajne nastavený na  $n$  násobok periódy sieťovej frekvencie (u nás 50Hz čo predstavuje 20ms) s cieľom eliminovať šum spôsobený touto frekvenciou.

Všeobecne sú integračné AD prevodníky používané tam, kde je dôležité vysoké rozlíšenie a presnosť, ale netreba vysokú vzorkovaciu frekvenciu. Rozlíšenie môže prevyšovať 28bitov pri niekoľkých vzorkách za sekundu a 16bitov pri 100k vzorkách za sekundu. Príkladom použitia sú napr. digitálne voltmetre.

**Paralelné AD prevodníky** Fungujú na princípe paralelne zapojených komparátorov, kde počet komparátorov sa dá vyjadriť vzťahom 4.1, kde  $n$  je požadovaný počet bitov rozlíšenia.

$$\text{Počet komparátorov} = 2^n \quad (4.1)$$

Každý z komparátorov je časovaný vzorkovacou frekvenciou za účelom súčasnej konverzie. Keďže takýto prevod je jednokrokový a komparátory môžu byť časované na vysokej frekvencii, tieto AD prevodníky dosahujú vysokých vzorkovacích frekvencií. Paralelné AD prevodníky bežne dosahujú vzorkovaciu frekvenciu prevyšujúcu 1GHz, nevýhodou je nižšie rozlíšenie (od 6 do 10bitov), vysoká vstupná kapacitancia a vyššia spotreba. Je to spôsobené tým, že počet komparátorov rastie exponenciálne s rozlíšením.

**Viackrokové AD prevodníky** Viackrokové AD prevodníky vykonávajú konverziu vo viacerých krokoch narozdiel od paralelných AD prevodníkov. Viackrokové AD prevodníky sú zvyčajne zložené z blokov paralelných AD prevodníkov a DA prevodníkov. Vzorkovacia frekvencia sa zníži na úkor sériovej operácie týchto komponentov. Ďalej je nutné použiť obvody „sample and hold“, ktoré držia hodnotu vstupného signálu konštantnú počas sekvenčnej konverzie.

Viackrokové AD prevodníky sa zvyčajne používajú pri stredne vysokých vzorkovacích frekvenciách (od 1 do 100MHz). Tieto prevodníky majú oproti paralelným prevodníkom na rovnakej vzorkovacej frekvencii nižšiu spotrebu, prípadne vyššie rozlíšenie. Použité nachádzajú v spektrálnych analyzátoroch.

#### Vybratý AD prevodník

Vybratý AD prevodník (Texas Instruments ADC08200) spadá do kategórie paralelných AD prevodníkov. So zvoleným prevodníkom je možné vzorkovať na frekvencii 200MHz. Vzhľadom na využitie osciloskopu v oblasti informačných technológií je 8-bitové rozlíšenie,



ktorým disponuje, dostatočné. Prevodník ďalej obsahuje obvod „sample and hold“, ktorý pri paralelných AD prevodníkoch znižuje dynamickú odchýlku spôsobenú oneskorením hodín medzi komparátormi AD prevodníka. Ďalšie detaily vlastností uvádza dokumentácia [2].

Výhodou zvoleného modelu je možnosť nastavovať spodné a vrchné referenčné napätie zvlášť a tým ovládať offset a škálovanie meraného signálu. Medzi nevýhody patria vlastnosti typické pre paralelné AD prevodníky, a to vyššia spotreba a vysoká vstupná kapacitancia. S týmito vlastnosťami sa počíta v navrhovanom zapojení.

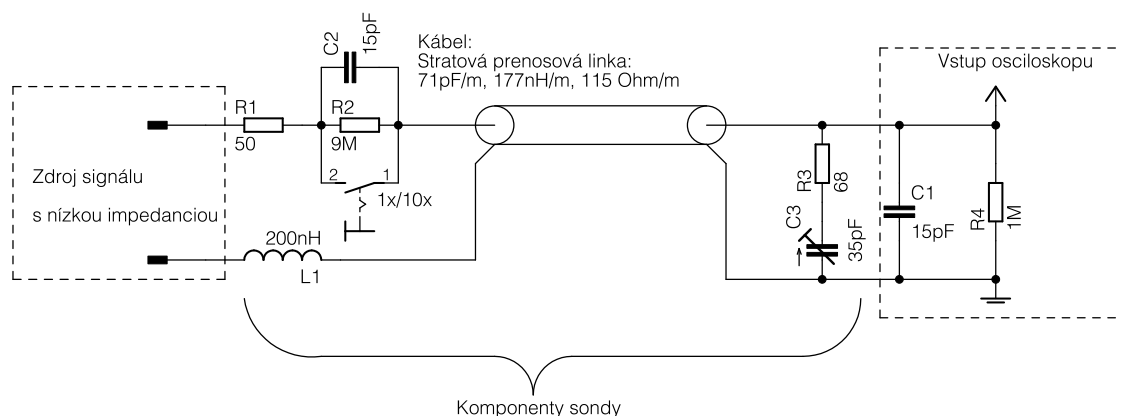
#### 4.2.2 Vstupný obvod osciloskopu

Merané napätie nemôže byť priamo privádzané do AD prevodníka, meraný signál je totiž žiaduce čo najmenej ovplyvniť. Tým pádom musí byť zdroj signálu zaťažovaný čo najväčšou impedanciou. AD prevodníky však vykazujú pomerne nízke hodnoty vstupnej impedancie, ktorá je navyše počas konverzie premenlivá [2], čo by spôsobovalo skresľovanie signálu. AD prevodník ďalej disponuje len malým napäťovým rozsahom. Tieto dôvody vedú k tomu, že osciloskopy disponujú osciloskopickou sondou a predzosilňovačom, ktoré spolu zabezpečujú impedančné a napäťové prispôbenie meraného signálu pre vstup AD prevodníka.

#### Osciloskopová sonda

Pretože osciloskop sa vždy používa spolu s osciloskopickou sondou, je nutné poznať vnútorné zapojenie sondy a vlastnosti, ktoré musí predzosilňovač dodržiavať pre správnu funkciu sondy. Jedná sa hlavne o parametre vstupného odporu a kapacity.

Sondy sa podľa literatúry [25] skladajú z meracieho hrotu, ktorý predstavuje odpor R1 a zemniaceho konektora, ktorý predstavuje indukčnosť L1. Ďalej obsahuje 9M $\Omega$  rezistor R2 s paralelne pripojeným kondenzátorom C2 (môže byť premenlivý pre nastavenie kapacitnej kompenzácie), ktoré spolu s prepínačom umožňujú výber útlmu 1:1 alebo 1:10. Potom nasleduje prepájajúci kábel, ktorý tvorí stratovú prenosovú linku. Na záver je sonda tvorená BNC konektorom, ktorý v prípade, že kondenzátor C2 má pevnú hodnotu, môže obsahovať kapacitnú kompenzáciu R3 a C3, čo je aj prípad sondy na schéme 4.2.



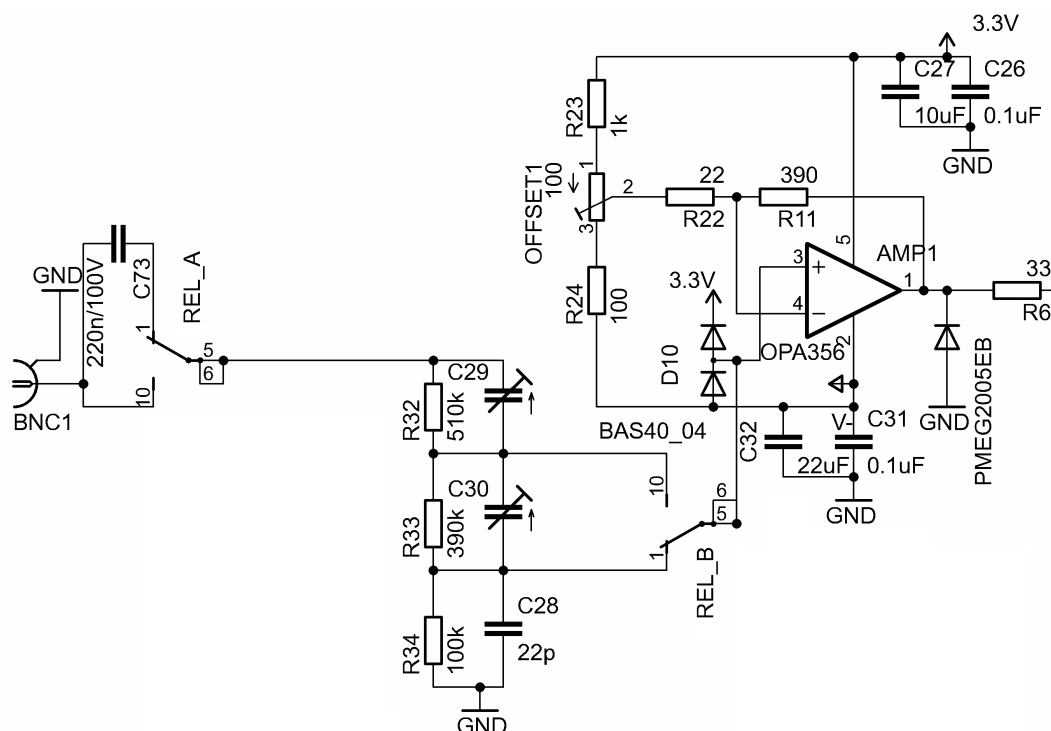
Obr. 4.2: Schéma typickej osciloskopovej sondy podľa [25]

Prepínanie útlmu medzi 1:10 a 1:1 je zabezpečené odporom R2, ktorý je zapojený v sérii so vstupným odporom osciloskopu a spolu tvoria deliaci pomer, tento rezistor je možné prepínačom premostiť. Pri vyšších frekvenciách sa však vplyv odporov stráca a deliaci pomer

je definovaný pomerom kapacít paralelne zapojených s danými odpormi (C2, C1). Z tohto dôvodu umožňujú nastavenie kapacitnej kompenzácie vstupu osciloskopu a prenosovej linky tvorenej káblom sondy. Toto zapojenie umožňuje, aby sondy pracovali na vysokých frekvenciách, avšak vyžaduje, aby vstup osciloskopu mal vstupný odpor 1M $\Omega$  a vstupnú kapacitu blízku hodnote 15pF.

### Predzosilňovač

Z požiadavok kladených osciloskopovými sondami bol navrhnutý predzosilňovač (na obr. 4.3), ktorý impedančne prispôbuje vstupný signál a posúva jeho úroveň do oblasti spracovateľnej AD prevodníkom.



Obr. 4.3: Schéma predzosilňovača

Vstupný signál z konektoru BNC1 najprv prechádza cez kondenzátor C73 alebo priamo podľa toho, ako je nastavené relé REL\_A, čo umožňuje vybrať jednosmernú alebo striedavú väzbu. Signál pokračuje na útlmový odporový delič tvorený odpormi R32, R33 a R34 v sérii, ktoré majú spolu odpor 1M $\Omega$  tvoriaci vstupný odpor osciloskopu. Na tieto odpory sú paralelne pripojené kondenzátory C28, C29 a C30 tvoriace vstupnú kapacitu osciloskopu. Kondenzátory C29 a C30 umožňujú nastaviť kapacitu v rozsahu 1-10pF, čo umožňuje dodatočnú kapacitnú kompenzáciu.

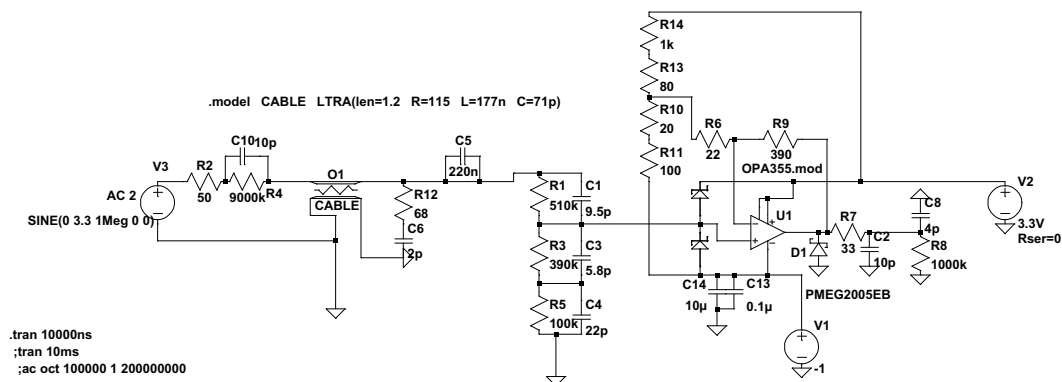
Relé REL\_B umožňuje vybrať útlm 1:2 alebo 1:10 podľa toho, či sa signál privádza z kondenzátora C30 alebo C28. Signál z relé je privedený na neinvertujúci vstup AMP1, ktorý je chránený dvojistou Schottkyho diódou D10 proti prepätiu.

Zapojenie operačného zosilňovača AMP1 OPA356 vychádza zo zapojení uvedených v dokumentácii OPA355[13] a doporučeného zapojenia z dokumentácie k AD prevodníku ADC08200[2]. Bolo však nutné zaviesť možnosť nastavenia offsetu trimrom OFFSET1, aby

sa úroveň výstupného signálu zdvihla z oblasti záporných napätí do oblasti 0-3.3V, ktorú je schopný AD prevodník spracovať.

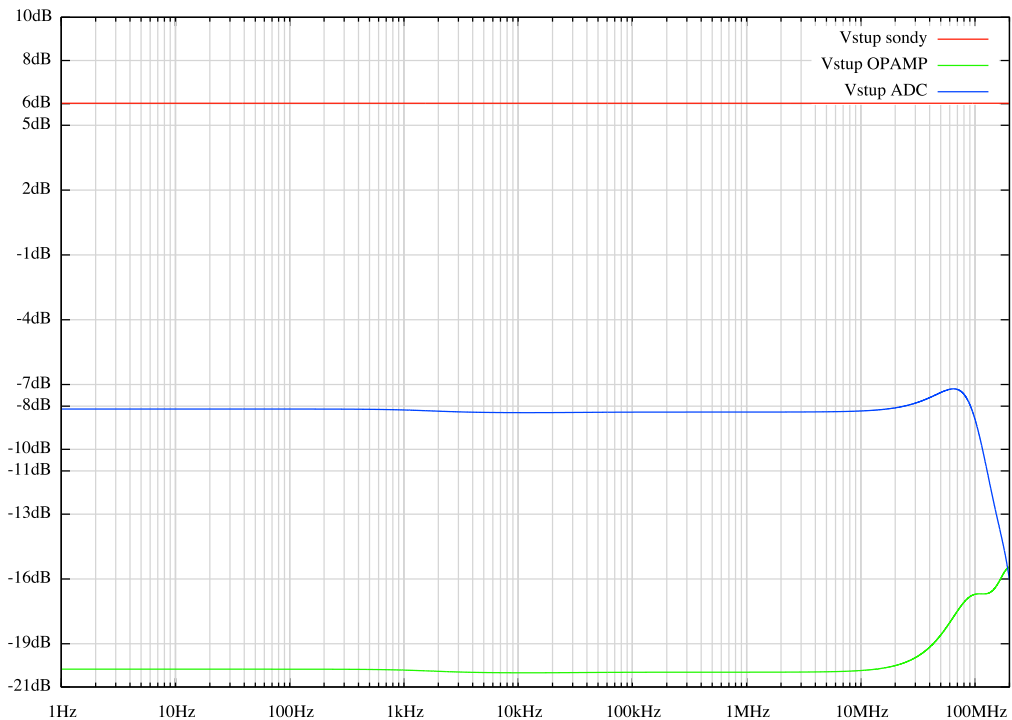
Vstup AD prevodníka je chránený proti zápornému napätiu Schottkyho diódou. Na to, aby bolo možné spracovať signál zasahujúci do oblasti záporného napätia a zároveň využiť plný rozsah AD prevodníku, je operačný zosilňovač napájaný kladným napájacím napätím 3,3V a záporným napájacím napätím -1V.

Návrh predzosilňovača bol vykonaný s pomocou simulačného nástroja LTSpice IV. Boli využité voľne dostupné modely použitých súčiastok. Pre operačný zosilňovač OPA356 bol použitý model OPA355, ktorý je však ekvivalentný s OPA356 s tým rozdielom, že má v púzdre navyše vývod umožňujúci vypnutie operačného zosilňovača. Časť výsledného simulačného modelu bola použitá ako výsledné zapojenie predzosilňovača.



Obr. 4.4: Použitý simulačný model v LTSpice

Simulačný model zahŕňa zdroj signálu s nízkou impedanciou V3 (schéma 4.4), osciloskopovú sondu podľa schémy 4.2, samotný predzosilňovač a náhradnú kapacitnú C8 a odporovú R8 záťaž predstavujúcu AD prevodník.

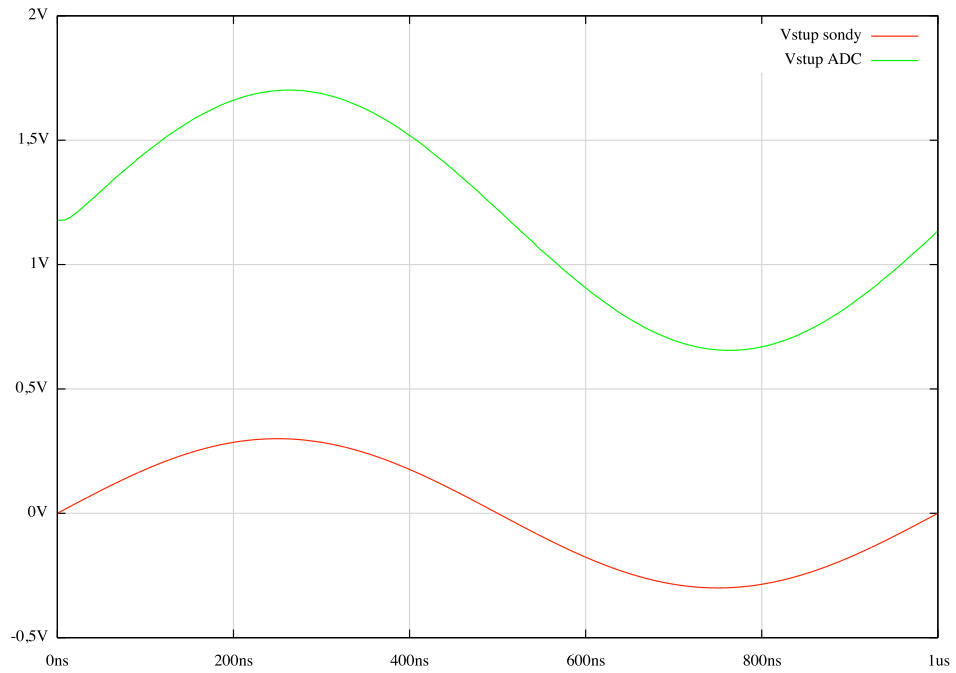


Obr. 4.5: Frekvenčná charakteristika predzosilňovača so sondou podľa schémy 4.2 vyplývajúca zo simulácie

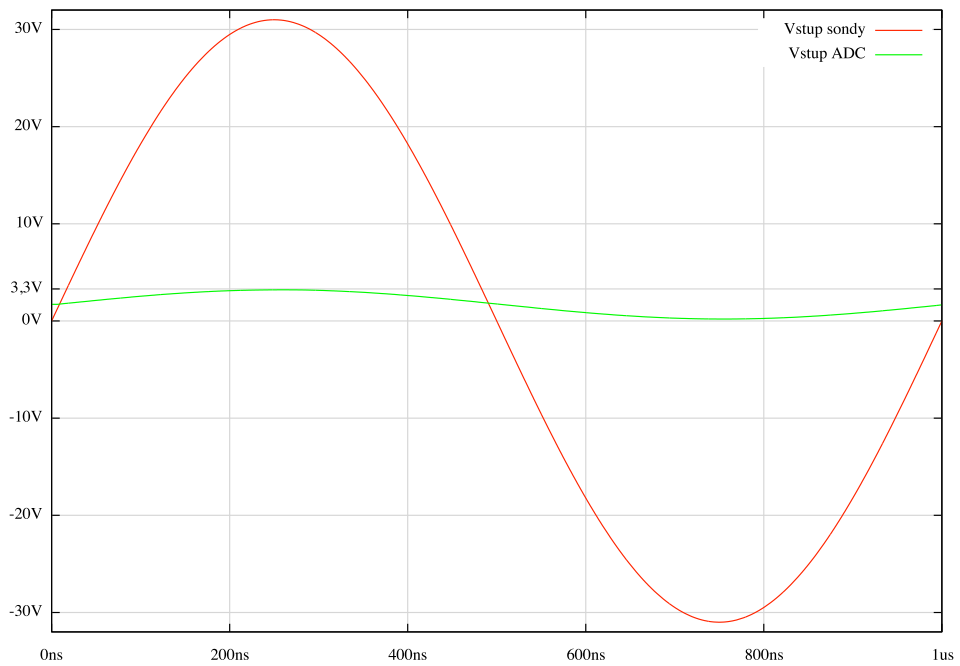
Pri správnom nastavení kapacitnej kompenzácie sondy a predzosilňovača bola získaná frekvenčná charakteristika predzosilňovača obr. 4.5. Z frekvenčnej charakteristiky na obr. 4.5 vyplýva, že do maximálnej frekvencie, ktorú je možné podľa Nyquist-Shannonovho teóremu zvoleným AD prevodníkom vzorkovať (100MHz), je pri amplitúde vstupného napätia 2V, pri sonde prepnuť do režimu 1:10 a pri útlme odporového deliča na vstupe 1:2 navrhnutý predzosilňovač schopný preniesť signál v štandardnom rozsahu  $\pm 3\text{dB}$ . Ďalej boli pri frekvencii 1MHz zistené vlastnosti uvedené v tabuľke 4.1, ktoré boli získané zo simulácií, ktorých priebeh je zobrazený na obr. 4.6 a 4.7.

Tabuľka 4.1: Vlastnosti predzosilňovača so sondou podľa schémy 4.2 vyplývajúce zo simulácie

Vlastnosť	Napätie [V]	Podmienky
Minimálna amplitúda meraného signálu v plnom rozsahu AD prevodníka	0,3	Sonda 1:1, vstupný delič 1:2
Maximálna amplitúda meraného signálu v plnom rozsahu AD prevodníka	31	Sonda 1:10, vstupný delič 1:10



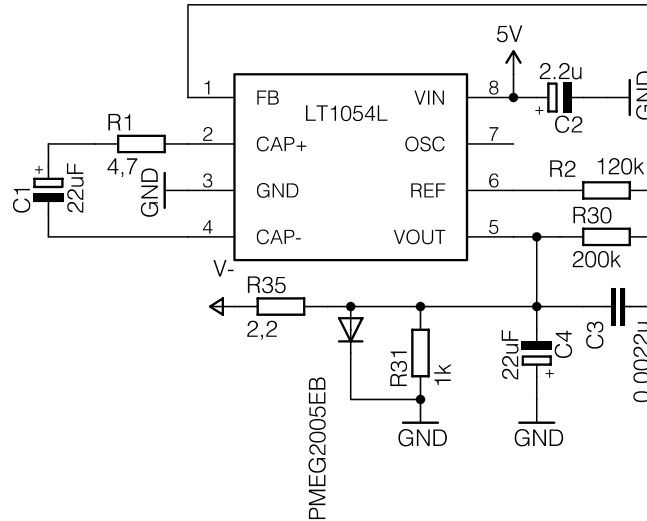
Obr. 4.6: Priebeh napätia pri vstupnom sínusovom napätí s amplitúdou 0,3V vyplývajúci zo simulácie, sonda 1:1, vstupný delič 1:2



Obr. 4.7: Priebeh napätia pri vstupnom sínusovom napätí s amplitúdou 31V vyplývajúci zo simulácie, sonda 1:10, vstupný delič 1:10

### 4.2.3 Zdroj záporného napájacieho napätia pre predzosilňovač

Z návrhu predzosilňovača vyplýva potreba zdroja záporného napätia o hodnote -1V. Toto napätie je nutné vytvoriť z dostupného napájacieho napätia, a to 5V alebo 3,3V. Na tento účel bol použitý spínací napäťový konvertor. Zapojenie použitého invertora LT1054L bolo prevzaté z dokumentácie [9].



Obr. 4.8: Schéma zapojenia zdroja záporného napätia

Podľa vzorca uvedeného v dokumentácii [9] boli spočítané hodnoty odporov R2 a R30 na schéme 4.8.

$$\frac{R_2}{R_1} = \left( \frac{|V_O|}{1.21V} + 1 \right) \quad (4.2)$$

Kde R1 predstavuje R2 na schéme 4.8 a R2 predstavuje R30 na schéme 4.8. Vypočítaná hodnota pomeru odporov 1,826 bola pomocou simulácie upravená na hodnotu 1,667, čo najbližšie zodpovedá kombinácii rezistorov R1 120k a R2 200k. Do výstupu zdroja bola pridaná Schottkyho dióda chrániaca obvod predzosilňovača pred vstupom kladného napätia počas inicializácie zdroja. Pre ochranu predzosilňovača a zdroja bol do zdroja zavedený obmedzovač prúdu predstavovaný rezistorom R1 4.8, vypočítaný podľa vzorca 4.3.

$$V_X \approx V_I - (1,61,3 + |V_O|)$$

$$R_X = \frac{V_X}{4,4.I_O} \quad (4.3)$$

Pre zvolený maximálny výstupný prúd 100mA vychádza z výpočtov hodnota Rx 4,30hm. Najbližšia hodnota vyrábaných odporov je 4,70hm. To predstavuje obmedzenie prúdu 93mA, čo je akceptovateľná hodnota.

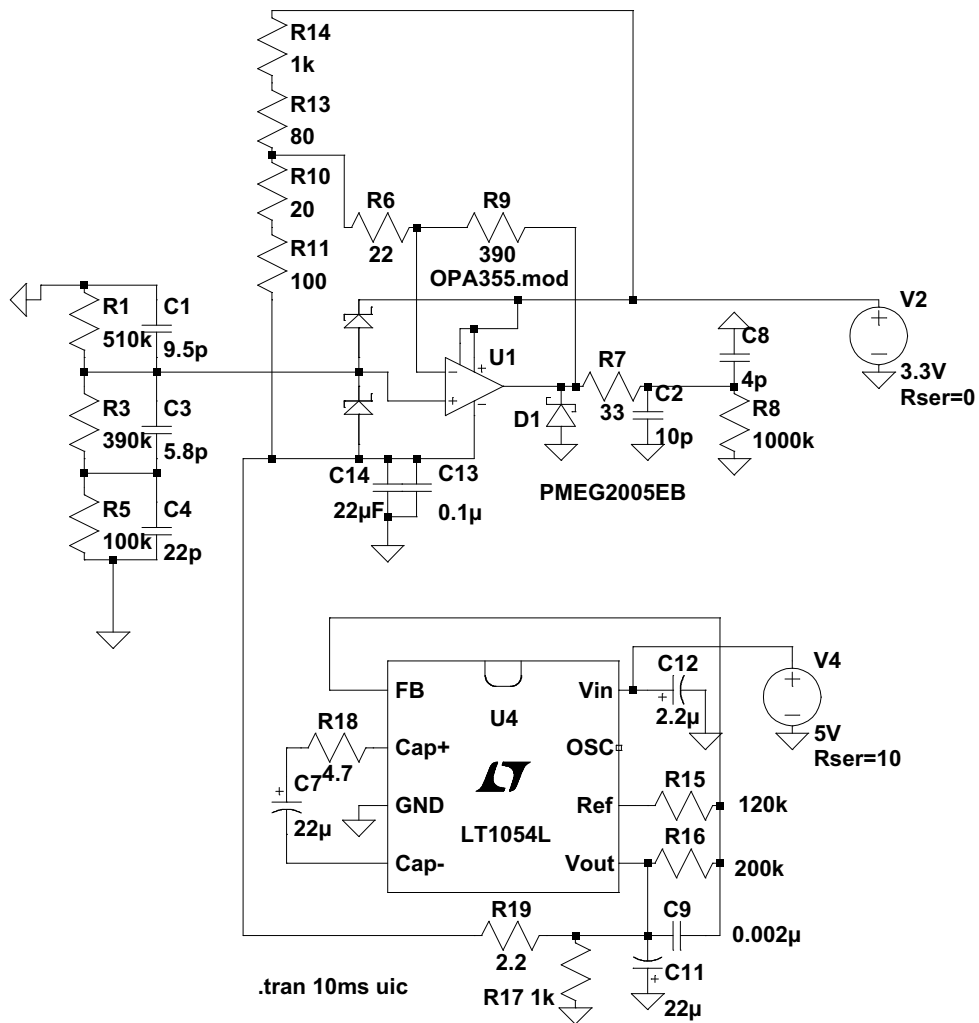
Na odstránenie zvlnenia výstupného napätia napájacieho zdroja bol použitý RC článok predstavovaný odporom R35 na schéme zdroja 4.8 a kondenzátorom C32 na schéme predzosilňovača 4.3 (keďže predzosilňovače sú dva, v nasledujúcich výpočtoch sa hodnota kondenzátoru C32 používa dvojnásobná).

$$\omega_0 = \frac{1}{RC} \quad (4.4)$$

Podľa vzorca 4.5 z [27] je daná deliaca frekvencia článku RC. RC článok bol zvolený tak, aby tlmil frekvenciu zdroja, ktorá má hodnotu 25kHz.

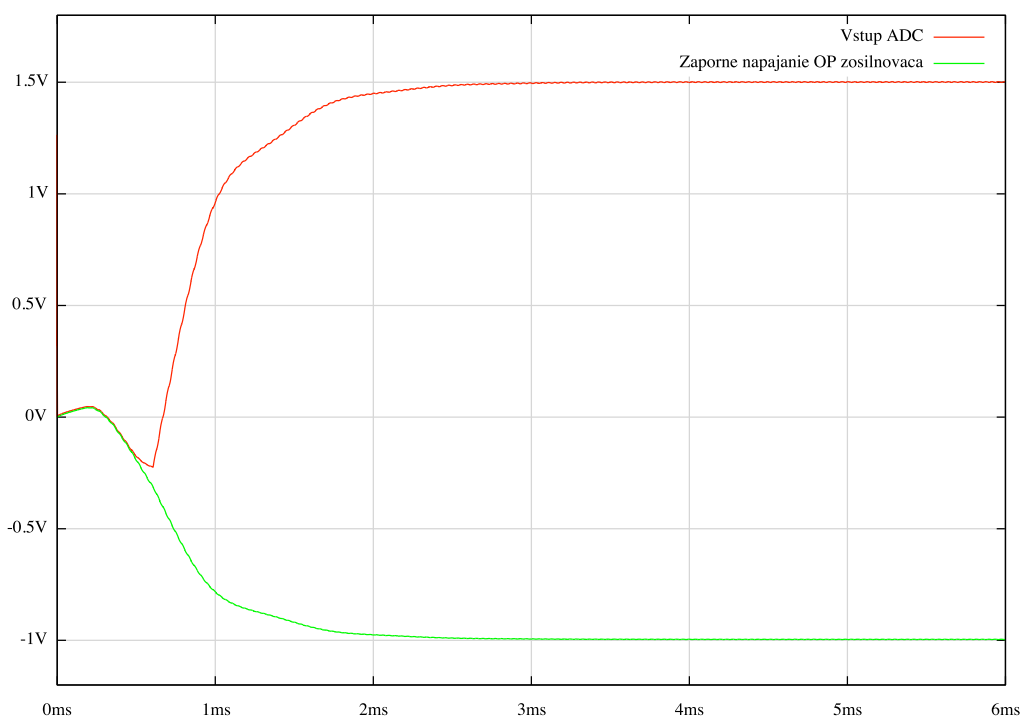
$$\omega_0 = \frac{1}{2,24,4.10^{-5}} \doteq 10,3kHz \quad (4.5)$$

Pomocou simulácie bolo overené, že útlm článku RC pre frekvenciu zdroja (25kHz) [9] je dostatočný. Zvlnenie na vstupe AD prevodníka spôsobené zvlnením napájacieho napätia má špičkovú hodnotu 1,8mV, čo pri maximálnej citlivosti AD prevodníka predstavuje hodnotu menšiu ako polovica najmenšieho merateľného dielika pomocou AD prevodníka 2mV[2].



Obr. 4.9: Simulačný model zdroja záporného napätia spolu s predzosilňovačom

Simulácia bola vykonaná na modeli obsahujúcom predzosilňovač so vstupným napätím 0V. Výstupné napätie zdroja sa po inicializácii ustáli na hodnote -1V, vstupné napätie AD prevodníka sa ustáli na hodnote 1,5V čo je približne v strede rozsahu merateľného AD prevodníkom. Pribeh napätí počas simulovanej inicializácie zdroja po zapnutí napájacieho napätia je možné vidieť na obr. 4.10.



Obr. 4.10: Priebeh napätia počas inicializácie zdroja záporného napätia

#### 4.2.4 Zapojenie AD prevodníku

AD prevodník bol zapojený (schéma v prílohe B.1) podľa štandardného odporúčaného zapojenia v dokumentácii [2]. Výstupné signály AD prevodníka prechádzajú cez konektor na druhú dosku a predstavujú zmenu impedancie vodiča, čo môže spôsobovať odrazy signálu. Preto boli výstupy AD prevodníka ošetrené proti odrazom 470 $\Omega$  odporovou sieťou doporučenou v dokumentácii [2].

#### 4.2.5 Zdroj referenčných napätí AD prevodníkov

AD prevodník vyžaduje na svoju prevádzku dvojicu referenčných napätí. Tie sú generované pomocou DA prevodníka, čo umožňuje softwarové nastavenie škálovania a offsetu. Použitý DA prevodník je 4 kanálový prevodník generujúci vrchné a spodné referenčné napätie pre každý z dvoch použitých prevodníkov. Zapojenie je uvedené v prílohe na schéme B.2.

Referenčné napätia sú bufferované<sup>1</sup> operačným zosilňovačom, pretože AD prevodník vyžaduje vyššiu zaťažiteľnosť referenčných napätí ako je DA prevodník schopný dodať, ako uvádza dokumentácia AD prevodníka[2] a použitého DA prevodníka[18]. Zapojenie buffera vychádzajúce z dokumentácie AD prevodníka[2] bolo upravené na použitie s DA prevodníkom a ošetrené diódami, ktoré zabraňujú, aby v prípade nesprávneho softwarového nastavenia DA prevodníka bolo spodné referenčné napätie vyššie ako vrchné. Výstupy DA prevodníka sú pred privedením na ochranné diódy opatrené 15k $\Omega$  odpormi, aby nebola

<sup>1</sup>Zapojenie operačného zosilňovača, pri ktorom je operačný zosilňovač využitý na prevod impedancií medzi časťami obvodu - tu prevádza výstupnú impedanciu DA prevodníka 10k $\Omega$  na vstupnú impedanciu referenčných kaskád AD prevodníka - premenlivá okolo 100 $\Omega$



prekročená maximálna zaťažiteľnosť DA prevodníka v prípade, že sú výstupy cez ochranné diódy skratované.

Zdroj referenčného napätia bol navrhnutý s pomocou simulačného nástroja LTSpice. Zo simulácii boli zistené údaje uvedené v tabuľke 4.2.

Tabuľka 4.2: Vlastnosti zdroja referenčného napätia vychádzajúce zo simulácie

Vlastnosť	Hodnota
Maximálne vrchné referenčné napätie	3,33V
Minimálne spodné referenčné napätie	0,11V
Minimálny rozdiel referenčných napätí	122mV
Maximálny rozdiel referenčných napätí	3,22V
Maximálny prúd, ktorý vie zdroj referenčného napätia dodať	80mA
Prúd tečúci z DA prevodníka v prípade nesprávneho nastavenia vedúceho ku skratu cez ochrannú diódu	25uA

Tieto vlastnosti vyhovujú podmienkam, ktoré stanovuje dokumentácia AD prevodníka [2] a dokumentácia použitého operačného zosilňovača [19].

#### 4.2.6 Zdroj hodinového signálu

AD prevodníky vyžadujú kvalitný zdroj hodinového signálu s nízkou hodnotou jitteru<sup>2</sup> [2]. Z toho dôvodu bolo vylúčené použitie blokov na generovanie hodinového signálu DCM z FPGA, ktoré môžu vykazovať hodnoty jitteru vyššie ako povoľuje AD prevodník, čo je uvedené v dokumentáciách [2] a [16]. Výhodou DCM blokov FPGA by bola možnosť meniť vzorkovaciu frekvenciu podľa potreby, táto funkčnosť je však nahradená decimátormi vo FPGA.

Schéma zdroja hodinového signálu sa nachádza v prílohe na obr. B.1. Zdroj hodín pre AD prevodník je teda, ako doporučuje dokumentácia AD prevodníka [2], najlepšie umiestniť čo najbližšie k AD prevodníku. Z tohto dôvodu bol oscilátor umiestnený priamo na analógovú dosku spolu s bufferom hodinového signálu rozdeľujúcim hodinový signál medzi jednotlivé AD prevodníky a privádzajúcim hodinový signál na dosku s FPGA. Zapojenie buffera hodinového signálu a oscilátora vychádza z dokumentácií [14] a [1]. Použitý oscilátor má frekvenciu 150MHz.

#### 4.2.7 Logický analyzátor

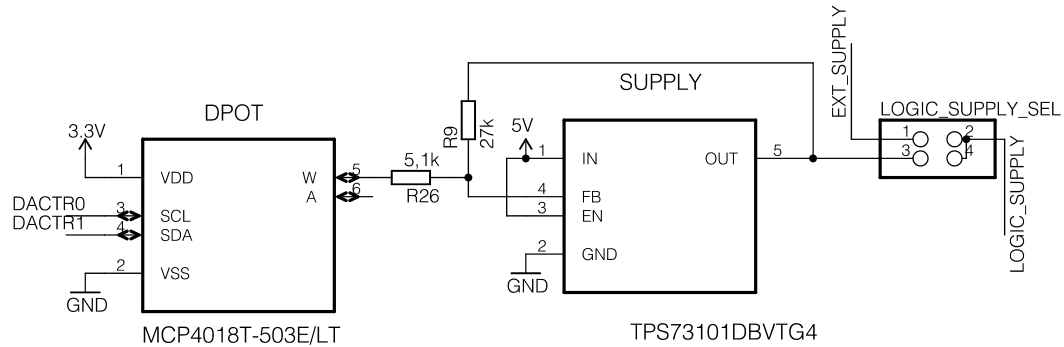
V úlohe logického analyzátora pracuje zbernicový transceiver podporujúci rôzne logické úrovne. Konkrétne vybraný transceiver podporuje logické úrovne 1,8V, 2,5V, 3,3V a 5V [15].

Schéma zapojenia transceiveru sa nachádza v prílohe na obr. B.3. Transceiver prevádza logické úrovne meraného zariadenia na jednotnú úroveň, na ktorej pracuje použité FPGA. Napájacie napätie pre vonkajšiu stranu transceivera je možné priviesť z meraného zariadenia, alebo je ho možné generovať softwarovo nastaviteľným zdrojom napätia. Keďže je transceiver obojsmerný, je možné ho využiť aj v úlohe generátora signálov.

<sup>2</sup>Jitter je nežiadúca odchýlka jednej alebo viacerých charakteristík periodického signálu

## 4.2.8 Nastaviteľný zdroj napätia pre logický analyzátor

Nastaviteľný zdroj umožňuje prostredníctvom softwaru používateľsky nastaviť požadovanú meranú logickú úroveň. Je skonštruovaný z 50kOhm digitálneho potenciometra s rozhraním I2C a nízkoúbytkového nastaviteľného zdroja napätia.



Obr. 4.11: Schéma zapojenia softwarovo nastaviteľného zdroja napätia

Zapojenie vychádza z dokumentácie [3] zdroja.

$$V_O = \frac{(R_1 + R_2)}{R_2} 1,204 \quad (4.6)$$

Vypočítané rozsahy vychádzajú zo vzorca 4.6, ktorý je uvedený v dokumentácii zdroja napätia [3]. V schéme 4.11 predstavuje R2 sériové zapojenie digitálneho potenciometra s odporom R26 a R1 predstavuje pevný odpor R9.

Tabuľka 4.3: Vypočítané hodnoty pre vybrané hodnoty odporu digitálneho potenciometra

Odpor digitálneho potenciometra [kOhm]	Vypočítaná hodnota napätia [V]
50	1,794
20	2,499
10	3,356
3,5	4,984

Vypočítané hodnoty v tabuľke 4.3 vyhovujú rozsahu vstupných napätí, ktoré požaduje zbernicový transceiver pre podporované logické úrovne [15].

## 4.3 Realizácia

### 4.3.1 Doska plošných spojov

Doska plošných spojov bola navrhnutá ako dvojvrstvová z dôvodu jednoduchšej výroby a prototypovania oproti doskám viacvrstvovým. Vzhľadom na požadované frekvencie boli

použité súčiastky plošnej montáže (SMD).

Návrh tejto dosky bol o poznanie jednoduchší ako v prípade digitálnej, hlavne z toho dôvodu, že doska má len dve vrstvy.

Avšak aj tu bolo nutné dobre si premyslieť rozloženie, pretože digitálne obvody môžu veľmi ľahko spôsobovať rušenie v analógových obvodoch, a preto sa zdroj hodinového signálu nachádza v strede dosky tak, aby bol čo najďalej od predzosilňovačov umiestnených na kraji dosky. Zdroj referenčných napätí pre AD prevodníky sa dokonca nachádza na opačnej strane dosky ako ostatné obvody, od čoho si návrh sľubuje zníženie rušenia prenikajúceho do analógových obvodov.

Ďalším návrhovým prvkom je snaha čo najviac od seba oddeliť jednotlivé kanály aby sa znížili presluchy. Návrh dosky je možné nájsť v prílohe **D**.

### 4.3.2 Oživenie

Po oživení digitálnej dosky mohlo prebehnúť oživenie analógovej dosky. Vzhľadom na to, že doska bola osadená ručne za pomoci mikros pájkovačky a spájkovacej pasty, bola doska najprv premeraná multimetrom s cieľom vyhľadať prípadné skraty a nevodivé spojenia.

Najprv bol skontrolovaný zdroj záporného napätia, následne bola skontrolovaná funkčnosť jednotlivých komponentov v poradí zdroj referenčných napätí, zdroj napájania pre transceiver, relé, nakoniec samotné AD prevodníky a transceiver. Pri oživovaní spočiatku chýbal na doske oscilátor, keďže bol dodaný až neskôr, a to s nižšou frekvenciou ako bola pôvodne plánovaná - 125MHz.

Ďalším problémom bol digitálny potenciometer, ktorý nemal označené číslovanie vývodov na púzdre, a tak bol na prvýkrát osadený opačne takže ho bolo nutné otočiť. Nevyriešeným problémom ostáva vyššia miera skreslenia na jednom zo vstupných kanálov, ktorá vyzerá byť spôsobená parazitnou kapacitou, čo je asi vzhľadom na rovnaký návrh oboch kanálov spôsobené výrobnou chybou a teda studeným spojom, prípadne vadnou súčiastkou.

Na odstránenie šumu boli ďalej vykonané dodatočné úpravy zapojenia, a to premostenie každého z odporov R65, R66, R20 a R60 kondenzátormi o hodnote 2uF, zvýšenie hodnôt kondenzátorov C27 a C20 na hodnotu 32uF a C25 a C32 na 44uF pridaním 22uF kondenzátora k existujúcim 10uF resp. 22uF kondenzátorom, potom zvýšenie hodnôt kondenzátorov C13, C14, C16 a C17 na hodnotu 27uF pridaním 2x 2uF a 22uF kondenzátorov, a na záver zvýšenie hodnoty kondenzátora C70 na 11uF pridaním 10uF kondenzátora.

Problémom bolo tiež obmedzenie rozsahu vrchného referenčného napätia na maximálnu hodnotu 2,4V čo bolo úpravou odporu R54 na hodnotu 4,7kOhm upravené na maximálnu hodnotu 2,9V.

# Kapitola 5

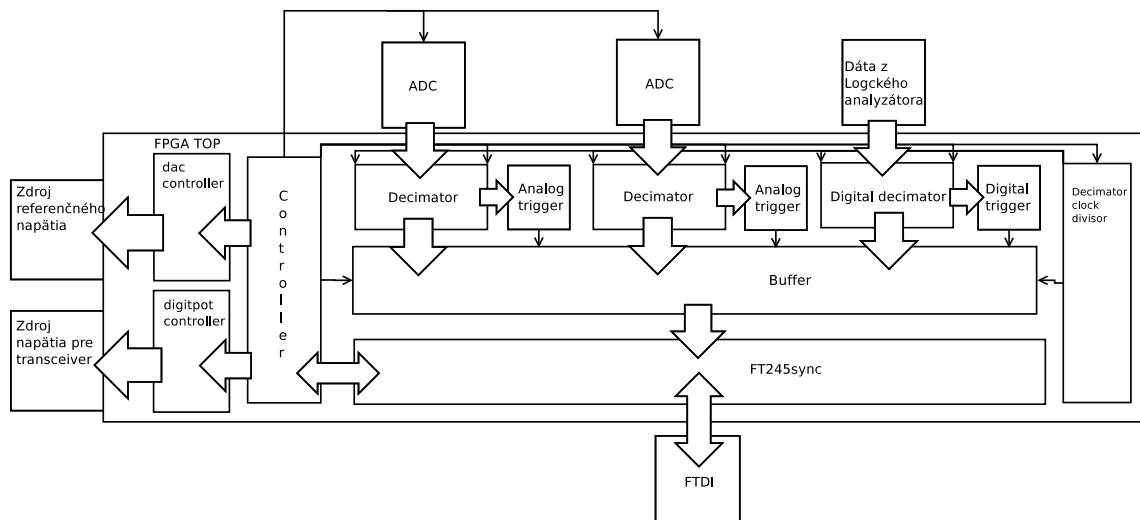
## Firmware pre FPGA

Po návrhu hardwaru bolo možné špecifikovať požiadavky pre firmware vo FPGA. Táto kapitola pojednáva o vývoji firmware.

### 5.1 Konceptia

Firmware vo FPGA musí zabezpečiť spracovanie a dočasné uloženie dát z AD prevodníkov a logického analyzátoru, komunikáciu s PC prostredníctvom FTDI a ovládanie analógovej dosky. Z tejto požiadavky bola vytvorená koncepcia firmwaru.

Spracovanie dát začína v trojici decimátorov (**decimator**, **digital decimator** na obr. 5.1), ktoré umožňujú znížiť množstvo dát na uloženie do vyrovnávacej pamäti, ak postačuje nižšia vzorkovacia frekvencia. Dáta z decimátoru sú potom privádzané do triggeru (**analog trigger**, **digital trigger** na obr. 5.1), ktorý porovnáva vzorku dát s predom stanovenou charakteristikou a v prípade zhody dáva signál vyrovnávacej pamäti k tomu, aby v prípade naplnenia namiesto prepisovania ukončila záznam a indikovala svoje naplnenie.



Obr. 5.1: Konceptia firmware pre FPGA

Komunikáciu zabezpečuje modul kontroléra (**controller** na obr. 5.1) prostredníctvom modulu **ft245sync**. Kontrolér príma príkazy z PC a ovláda všetky ostatné moduly na obr.

5.1. Kontrolér ďalej priamo ovláda vypnutie a zapnutie AD prevodníkov a prepína relé vo vstupnej časti osciloskopu. Svoj stav indikuje pomocou informačných LED diód.

## 5.2 Implementácia

Implementácia prebehla vo vývojovom prostriedku MyHDL [21]. MyHDL je HDL knižnica pre programovací jazyk Python, ktorá podporuje návrh a testovanie HDL dizajnov. Umožňuje preklad do jazyka Verilog a VHDL pre podporu syntézy do FPGA. Pre každý modul bol najprv vytvorený testovací skript, následne bola napísaná implementácia modulu a modul bol otestovaný. Po implementácii všetkých modulov boli moduly preložené do jazyka VHDL a otestované v prostriedku Xilinx ISIM a prípadné nedostatky boli odstránené.

Následne prebehla syntéza a mapovanie na cieľovú technológiu, počas ktorej boli odstránené ďalšie nedostatky. Tieto chyby sa týkali hlavne problémov s krížením časových domén, čo spôsobovalo chyby typu „hold time violation“<sup>1</sup> alebo „setup time violation“<sup>2</sup>, ktoré boli vyriešené vložením registrov do komunikácie medzi modulmi, a teda zretazením spracovania, ďalej pomohlo zavedenie prostriedkov na odstránenie metastabilných stavov pri krížení časových domén.

Najväčšie úpravy nastali pri oživovaní dosiek, kde za pomoci prostriedku ChipScope, ktorý umožňuje sledovať priebeh signálov priamo vo FPGA, bolo odhalených množstvo ďalších chýb z ktorých najväčšie problémy robila komunikácia cez FT245, kde bol problém situácii, keď sa naplnila vyrovnávací pamäť čipu FTDI. Túto situáciu bolo nutne správne ošetriť tak, aby bola zachovaná konzistencia odosielaných dát. Konzistencia odosielaných dát bola ďalej ošetrená pridaním ďalších časovacích obmedzení, ktoré definuje FTDI čip na zbernici FT245 pre signály dátovej zbernice. Ďalšie problémy robili decimátory, kde bolo nutné rovnako ako v prípade FT245 definovať časovacie obmedzenia pre zbernice AD prevodníkov na zachovanie konzistencia vzorkovaných dát.

### 5.2.1 Modul decimátora

Ak vzorkovacia frekvencia AD prevodníka viacnásobne prevyšuje potrebnú vzorkovaciu frekvenciu tak sa uloží príliš málo relevantných dát. Z toho dôvodu je dobré dáta decimovať vhodným pomerom vzhľadom k potrebnej vzorkovacej frekvencii. Vždy sa decimuje po intervaloch vzoriek, ktorých dĺžka je daná decimáčnym pomerom. V tomto pomere je podelená aj vzorkovacia frekvencia, takže na výstupe decimátora majú dáta zníženú vzorkovaciu frekvenciu. Decimácia dát môže prebiehať nasledujúcimi spôsobmi podľa literatúry [26]:

**Jednoduchá decimácia** Predstavuje decimáciu, kedy sa z decimovaného intervalu vždy vyberie prvá vzorka, a tá je použitá ako výsledok decimácie. Tento spôsob decimácie je najjednoduchší ale vykazuje aj najvyššiu náchylnosť na aliasing. Tento spôsob decimácie je vhodný v prípade, že sa z decimovaného signálu počíta Fourierova transformácia kedy je nutné, aby mali vzorky presne definovaný vzájomný odstup.

**Decimácia s ditheringom** Vyberá z decimovaného intervalu náhodnú vzorku. Tento spôsob decimácie je zložitejší na implementáciu, pretože vyžaduje generátor pseudoná-

<sup>1</sup>Chyba časovania kedy signál vysielacieho registra sa zmení skôr ako prijímací register stihne uložiť vystavenú hodnotu

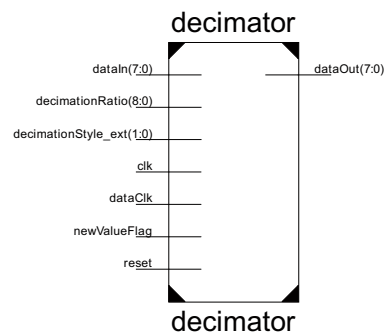
<sup>2</sup>Chyba časovania kedy vysielací register zmení hodnotu príliš neskoro a teda prijímací register ešte môže načítať predošlú hodnotu

hodných čísel a pamäť, do ktorej sa uloží celý decimovaný interval, ale výrazne znižuje aliasing.

**Detekcia vrcholov** V decimovanom intervale sa striedavo vyhľadáva maximum a minimum. Toto zabezpečuje, že sa nestratia krátkodobé špičky signálu, problémom tejto metódy je výrazné zosilňovanie šumu.

**Vyhľadzovanie** Táto metóda počíta priemer zo vzoriek v decimovanom intervale. Znižuje množstvo šumu v meranom signále.

**Implementovaný modul** Tento modul decimátora obsahuje všetky uvedené metódy decimácie. Generátor pseudonáhodných čísel pre dithering je implementovaný pomocou LFSR (posuvný register s lineárnymi spätnými väzbami).



Obr. 5.2: Schematické znázornenie modulu decimátora

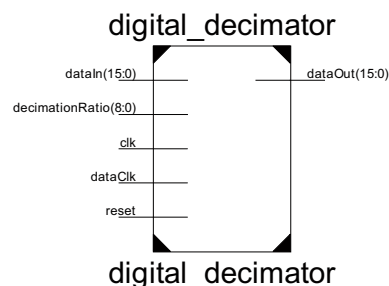
Modul prijíma dáta na decimovanie (**dataIn** na obr. 5.2) spolu s hodinovým signálom (**clk**) a povoľovacím signálom z deličky hodín (**clkData** na obr. 5.2). Decimačný pomer sa nastavuje ako exponent mocniny so základom 2 (**decimationRatioBase** na obr. 5.2) do modulu deličky hodín decimátora, ktorý ju prevedie na dekadickú hodnotu **decimationRatio**.

V prípade, že je exponent rovný 0, dáta sú privádzané priamo na výstup, inak modul podľa vybranej metódy decimácie (**decimationStyle** na obr. 5.2) a exponentu decimuje dáta, ktoré sú vystavované na výstup v prípade logickej 1 povoľovacieho signálu.

Vstup **newValueFlag** zabezpečuje synchronizáciu medzi hodinovými doménami 60Mhz a 150MHz. V prípade vystavenia novej hodnoty v doméne 60MHz je privedená logická 1 na **newValueFlag**, následne je spustený čítač, čítajúci do hodnoty 8, ktorý spôsobí prečkanie metastabilného stavu na vstupe **decimationRatioBase**, následne je hodnota prečítaná a spracovaná.

### 5.2.2 Modul digitálneho decimátora

Modul digitálneho decimátora je zjednodušený analógový decimátor v tom, že decimácia prebieha len metódou jednoduchej decimácie.

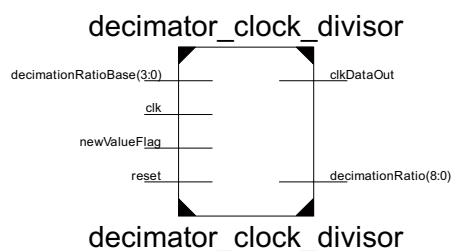


Obr. 5.3: Schematické znázornenie modulu digitálneho decimátora

V tomto prípade odpadá signál výberu metódy decimácie. Inak je funkcia rovnaká ako v prípade analógového decimátora.

### 5.2.3 Modul deličky hodín pre decimátor

Modul deličky hodín pre decimátor zabezpečuje generovanie povoľovacieho signálu pre decimátory vzhľadom na nastavený decimačný pomer. Je implementovaný ako čítač, ktorý číta do hodnoty polovice hodnoty nastaveného decimačného pomeru, čím delí vstupný kmitočet daným decimačným pomerom.

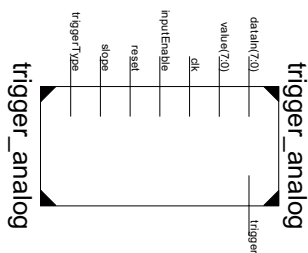


Obr. 5.4: Schematické znázornenie modulu deličky hodín pre decimátor

Ak je nastavený decimačný pomer 1:1, povoľovací signál je vždy v logickej 1. Modul zároveň prevádza hodnoty decimačného pomeru z exponentu mocniny so základom 2 (decimationRatioBase na obr. 5.4) na dekadickú hodnotu decimationRatio. Vstup newValueFlag má rovnaký účel ako v module decimátora.

### 5.2.4 Analógový trigger

Oproti literatúre [26] obsahuje navrhovaný trigger len dva jednoduché módy, a to detekciu úrovne a detekciu hrany (vstup slope na obr. 5.5).

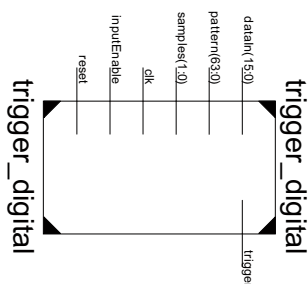


Obr. 5.5: Schematické znázornenie modulu analógového triggera

Detekcia úrovně je vykonávaná komparáciou vstupnej hodnoty (**dataIn** na obr. 5.5), hľadanej hodnoty (**value** na obr. 5.5) a smeru (**slope** na obr. 5.5). Detekcia hrany hľadá postupnosť štyroch vzoriek, ktoré prekročia danú hodnotu v závislosti od zvoleného smeru. V prípade zhody je nastavená značka triggeru. Porovnávanie nastáva len v prípade, že na povoľovací vstup **inputEnable** je privedená logická 1.

### 5.2.5 Digitálny trigger

Digitálny trigger, podobne ako analógový, disponuje len jednoduchým režimom. Umožňuje porovnávanie jedného až štyroch po sebe nasledujúcich vzoriek podľa nastaveného vzoru alebo vzorov. Oproti analógovému triggeru disponuje vstupom pre nastavenie vzoriek (**pattern** na obr. 5.6) a vstupom pre nastavenie porovnávaného počtu vzoriek (**samples** na obr. 5.6).

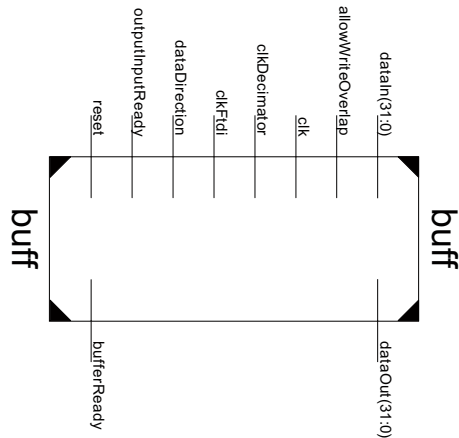


Obr. 5.6: Schematické znázornenie modulu digitálneho triggera

### 5.2.6 Vyrovnávacia pamäť

Vyrovnávacia pamäť zabezpečuje dočasné uloženie vzoriek pred ich odoslaním do PC. Umožňuje nastavenie dvoch režimov ukladania (**allowWriteOverlap** na obr. 5.7), a to cyklické zapisovanie s prepisovaním a zapisovanie pokiaľ nedôjde voľné miesto.





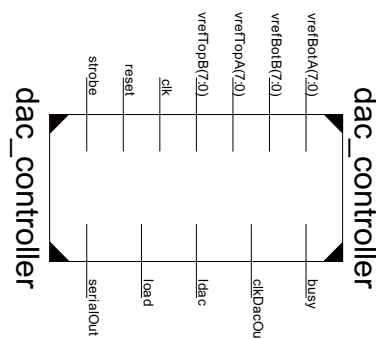
Obr. 5.7: Schematické znázornenie modulu vyrovnávacej pamäti

Režim cyklického zapisovania sa využíva v prípade, že nenastal žiadny zo zvolených triggerov. Keď nastane trigger, režim sa prepne a ukladanie prebieha tak, aby sa neprepísalo posledných  $n$  vzoriek pred tým ako nastal trigger, kde  $n$  je možné nastaviť ako konštantu pri preklade modulu. Po uložení vzoriek je možné následne vzorky prečítať prepnutím smeru dát (`dataDirection` na obr. 5.7). Pamäť zároveň tvorí most medzi hodinovou doménou ADC (150MHz) a hodinovou doménou kontroléra a FTDI (60MHz), na toto je využitý vstup 60MHz hodín `clkFtdi`, ktorým je povoľované vystavovanie dát pri čítaní.

Pôvodne bol modul navrhnutý tak, aby využíval pamäť SDRAM, avšak syntéza a mapovanie na cieľovú technológiu ukázalo, že radič SDRAM spôsobuje príliš veľké latencie, čo by neumožňovalo modul používať na požadovanej frekvencii alebo by boli nutné optimalizácie presahujúce časové možnosti tejto práce. Nakoniec teda modul využíva pamäte FIFO integrované v použítom FPGA, ktoré stále umožňujú uložiť dostatočné množstvo vzoriek na praktickú využiteľnosť zariadenia.

### 5.2.7 Modul pre ovládanie DAC pre referenčné napätia

Modul obsluhuje nastavenie hodnôt v DAC. Pre kontrolér poskytuje asynchrónne rozhranie signálmi `strobe` a `busy` (obr. 5.8), kde sa vystavenie dát kontrolérom potvrdzuje signálom `strobe` a modul odpovedá signálom `busy`, ktorý drží v logickej 1 až do ukončenia nastavovania požadovaných hodnôt.

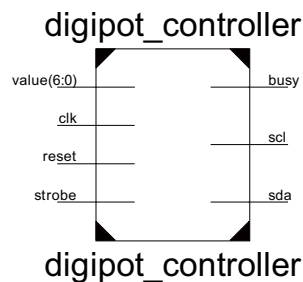


Obr. 5.8: Schematické znázornenie modulu pre ovládanie DAC

Dáta do modulu sa nastavujú prostredníctvom signálov `vrefTopA`, `vrefTopB`, `vrefBotA` a `vrefBotB` (obr. 5.8). Komunikácia s DAC prebieha po sériovej zbernici definovanej v [18]. Modul zabezpečuje delenie frekvencie hodinového signálu na hodnotu požadovanú pre komunikáciu s DAC. Modul je zabezpečený tak, aby nebolo možné nastaviť vrchné referenčné napätie nižšie ako spodné, v tomto prípade sa chybné hodnoty neaktualizujú a použijú sa staré.

### 5.2.8 Modul ovládania digitálneho potenciometra zdroja logického analyzátora

Modul pomocou zbernice I2C nastavuje hodnotu digitálneho potenciometra, čím umožňuje meniť napájanie logického analyzátora, a tak aj meranú logickú úroveň. Pre kontrolér poskytuje rovnaké rozhranie ako modul pre ovládanie DAC a to signály `strobe` a `busy` (obr. 5.9).

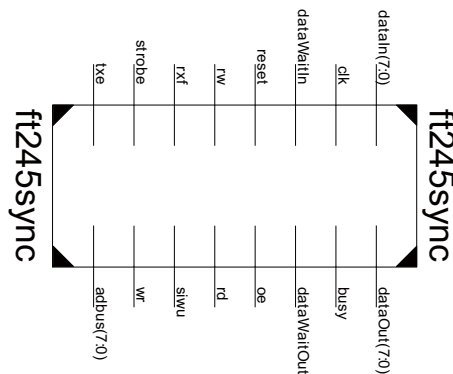


Obr. 5.9: Schematické znázornenie modulu pre ovládanie digitálneho potenciometra

Radič zbernice I2C bol implementovaný podľa dokumentácie digitálneho potenciometra [11]. Oproti štandardnej zbernici I2C vyžadoval navyše implementáciu resetovacej sekvencie, ktorá umožňuje resetovať digitálny potenciometer z chybového stavu. Rovnako ako modul pre ovládanie DAC, zabezpečuje vhodné delenie frekvencie hodinového signálu na frekvenciu požadovanú pre komunikáciu po I2C.

### 5.2.9 Radič FT245

Radič zabezpečuje komunikáciu s čipom FTDI pomocou zbernice FT245. Radič bol implementovaný podľa dokumentácie zbernice protokolu uvedenej v [5].



Obr. 5.10: Schematické znázornenie modulu radiča FT245

Pre modul kontroléra zjednodušuje komunikačný protokol na ovládanie signálov vstupných a výstupných dát (`dataIn` a `dataOut` na obr. 5.10), ovládanie signálu `strobe` na obr. 5.10, ktorý potvrdzuje vystavenie dát, obsluhu signálu `busy`, ktorý indikuje prebiehajúcu operáciu a signálov `dataWaitIn` a `dataWaitOut`, ktoré umožňujú vkladať čakacie stavy do komunikácie kontroléru alebo FTDI čipu.

### 5.2.10 Modul kontroléra

Modul kontroléra zabezpečuje riadenie všetkých ostatných modulov. Pomocou radiča FT245 príma príkazy z PC a tieto príkazy vykonáva. Príkazy sú definované protokolom uvedeným v tabuľke 5.1. Protokol má pevne definovanú dĺžku príkazov, a to 10B. Implementačne je kontrolér riešený ako konečný automat časovaný hodinovým signálom prijímaným z čipu FTDI o frekvencii 60MHz. Automat po inicializácii čaká na príkaz z PC. Natavenie hodnôt (príkazy `SET_*` z tabuľky 5.1) je riešené priamym nastavením hodnôt a následným potvrdením hodnôt signálom `strobe` do príslušných modulov a čakaním na vybavenie.

Príkaz `START_CAPTURE` spôsobí, že kontrolér prepne vyrovnávaciu pamäť do režimu zápisu a výberom príslušnej logickej funkcie nad výstupom triggerov ovláda zastavenie cyklického prepisovania vyrovnávacej pamäti. Po zachytení triggeru a naplnení pamäti začne fáza odosielania vzoriek do PC. V tejto fáze sú dáta postupne prostredníctvom modulu FT245 odoslané do PC.

Tabuľka 5.1: Protokol na ovládanie riadiaceho modulu osciloskopu

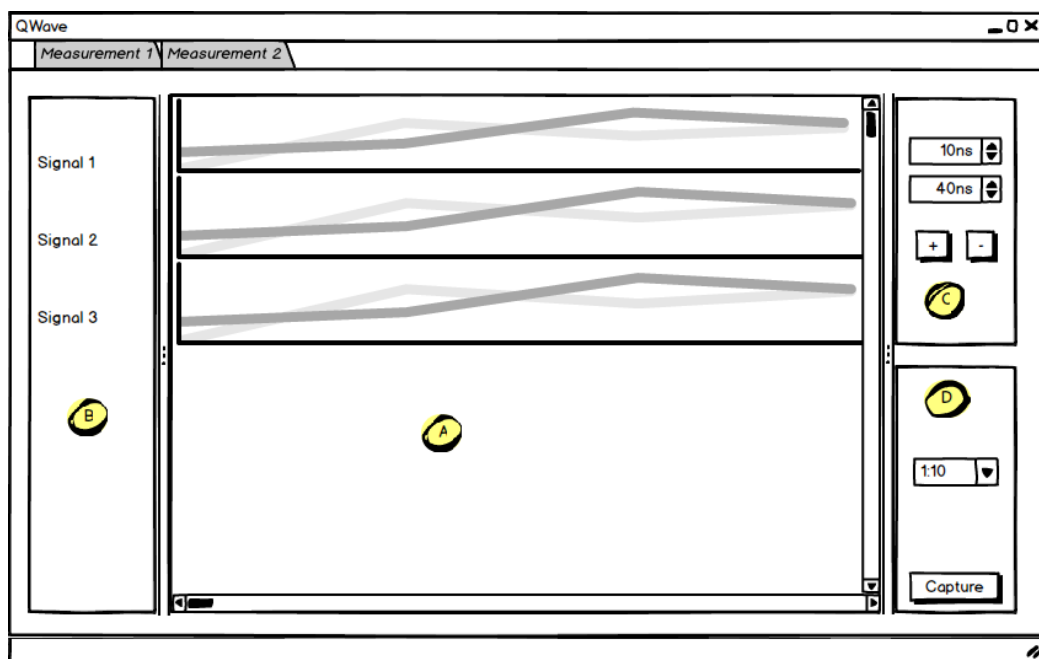
Príkaz	Operačný kód (1B)	Dáta (9B)	Popis
RESET	0x00	Nezáleží	Reset kontroléra
SET_VREF	0x10	1B TopA, 1B TopB, 1B BotA, 1B BotB	Nastavenie referenčných napätí
SET_VLOG	0x11	1B hodnota napájania logického analyzátora	Nastavenie napájania logického analyzátora
SET_ATTENUATORS	0x20	1B stav výberu útlmu kanálu 1, 1B stav výberu útlmu kanálu 2	Nastavenie relé vyberajúcich útlm prezosilňovačov
SET_COUPLINGS	0x21	1B stav väzby AC/DC kanálu 1, stav väzby AC/DC kanálu 2	Nastavenie relé vyberajúcich jednosmernú alebo striedavú väzbu vstupu
SET_DECIMATION	0x30	1B exponent pomeru decimácie, 1B spôsob decimácie	Nastavenie decimáčného pomeru a metódy decimácie
SET_ANALOGTRIGGER	0x31	1B porovnávaná hodnota kanál 1, 1B typ triggeru kanál 1, 1B smer triggeru kanál 1, 1B porovnávaná hodnota kanál 2, 1B typ triggeru kanál 2, 1B smer triggeru kanál 2	Nastavenie analógového triggeru
SET_DIGITALTRIGGER	0x32	8B vzor triggeru, 1B počet porovnávaných vzoriek	Nastavenie digitálneho triggeru
START_CAPTURE	0x40	1B vybraté kanály - 0x00 analóg 1, 0x01 analóg 2, 0x02 analóg1 a logický analyzátor, 0x03 analóg2 a logický analyzátor, 0x04 analóg 1 a 2, 0x05 analóg 1, analóg 2 a logický analyzátor, 0x06 logický analyzátor	Spustenie záznamu s aktivovanými triggermi podľa vybratej kombinácie kanálov
Odpoveď	Operačný kód (1B)	Dáta (predom neobmedzená dĺžka)	Popis
DATA_DUMP	0x50	Dáta v tvare 3B opakovaný operačný kód z dôvodu zarovnania na 4B, 1B analóg 1, 1B analóg 2, 2B logický analyzátor	Po vykonaní príkazu START_CAPTURE odpovedá kontrolér navzorkovanými dátami

## Kapitola 6

# Softwarová časť

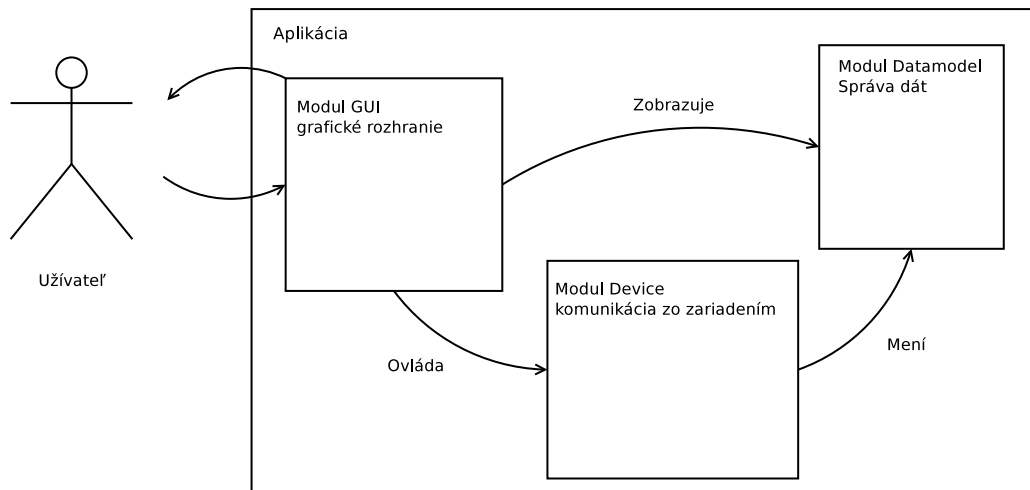
### 6.1 Konceptia

Softwarová časť bola navrhnutá z ohľadom na použitie zariadenia ako pamäťového osciloskopu. Využíva dizajn aplikácií na prácu so záznamami priebehov signálu napr. GTKWave alebo ISIM, tento dizajn rozširuje o ovládací prvky potrebné pre ovládanie samotného zariadenia a priebehu záznamu.



Obr. 6.1: Konceptia grafického rozhrania aplikácie

Konceptia aplikácie zobrazená na obr. 6.1 sa skladá z plátna pre grafy (a), zoznamu signálov (b), ovládacích prvkov plátna (c) a ovládacích prvkov zariadenia (d). Cieľom aplikácie bolo umožniť ovládanie zariadenia a zobrazovať základné typy signálov, a to lineárny priebeh, logický priebeh a priebeh typu register. Aplikácia ďalej umožňuje základné operácie ako zmena mierky, posúvanie sa v čase a meranie vzdialeností udalostí. Ďalej je možné merania ukladať a načítavať vo formáte VCD.



Obr. 6.2: Konceptia modulov aplikácie

Návrh aplikácie je založený na návrhovom vzore Model-View-Controller [12]. Dáta sú uložené a spravované v triedach modulu `Datamodel`. O zobrazovanie sa starajú triedy modulu `GUI`. Komunikácia so zariadením je zaobstaraná v triedach modulu `Device` (obr. 6.2).

## 6.2 Implementácia

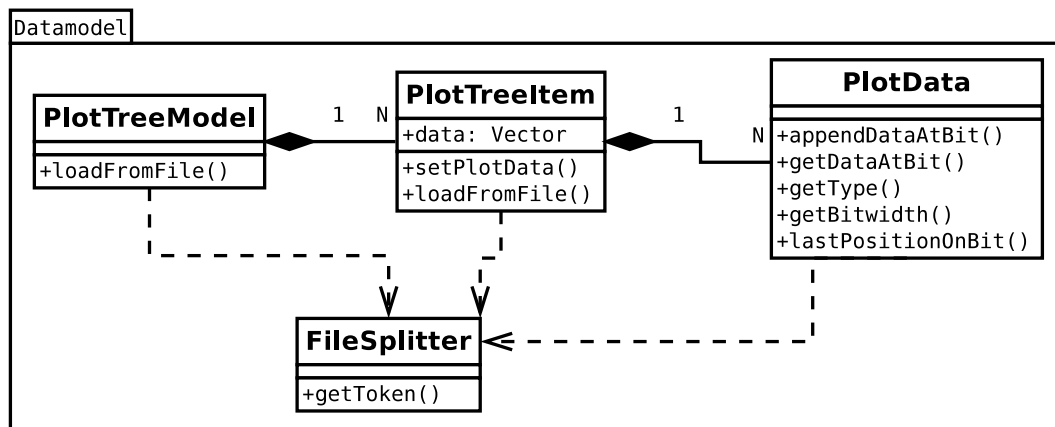
Aplikácia bola implementovaná v jazyku C++ za pomoci toolkitu Qt a knižnice `libftdi`, zabezpečujúcej komunikáciu s FTDI čipom. Toolkit Qt bol zvolený z dôvodu multiplatformovosti.

Najskôr boli vytvorené moduly `Datamodel` a `GUI`, ktoré boli otestované načítaním a následným zobrazovaním záznamov vo formáte VCD [20]. Neskôr bol pridaný modul `Device`, ktorý bol otestovaný tak, že bol vytvorený simulačný model zariadenia, ktorý s modulom komunikoval pod názvom „DUMMY“. Nakoniec bola pridaná implementácia komunikácie s reálnym zariadením cez knižnicu `libftdi`, ktorá bola otestovaná s reálnym zariadením.

Popri aplikácii poskytujúcej grafické rozhranie pre používateľa boli vytvorené dve utility do príkazového riadku. Prvá utilita slúži na programovanie FPGA priamo cez USB cez rozhranie FTDI, pričom bola využitá knižnica `libftdispi`, a utilita, ktorá slúži na prijímanie dát zo zariadenia cez príkazový riadok a využíva triedu `ft245sync`, ktorá je využitá aj v aplikácii.

### 6.2.1 Modul `Datamodel`

Modul `Datamodel` spravuje dáta, ktoré sú uložené v stromovej hierarchii z dôvodu compatibility s formátom VCD [20]. Umožňuje ostatným modulom upravovať a čítať obsah dátového modelu.



Obr. 6.3: Diagram tried modulu Datamodel

**Trieda PlotData** Trieda PlotData obsahuje zapuzdrenie dát jedného záznamu, ktorý môže predstavovať jeden lineárny alebo logický priebeh signálu, prípadne zlúčené logické signály do registra. Zapuzdruje alokáciu a realokáciu dát do rozhrania, ktoré v zásade umožňuje pridať vzorku na koniec zvoleného signálu (`appendDataAtBit()` na obr. 6.3) a prečítať vzorku na zvolenej pozícii (`getDataAtBit()` na obr. 6.3), prípadne zistiť parametre uložených dát (bitovú dĺžku, počet uložených vzoriek, zistiť typ priebehu).

**Trieda PlotTreeItem** Trieda predstavuje uzol v stromovej hierarchii, implementačne obsahuje serializáciu a deserializáciu dátovej zložky vo formáte VCD. Umožňuje nastaviť alebo prečítať odkaz na dáta v podobe triedy PlotData.

**Trieda PlotTreeModel** Trieda predstavuje stromový model dát, ktorý je aktuálne zobrazovaný v module GUI. Umožňuje serializáciu a deserializáciu modelu vo formáte VCD.

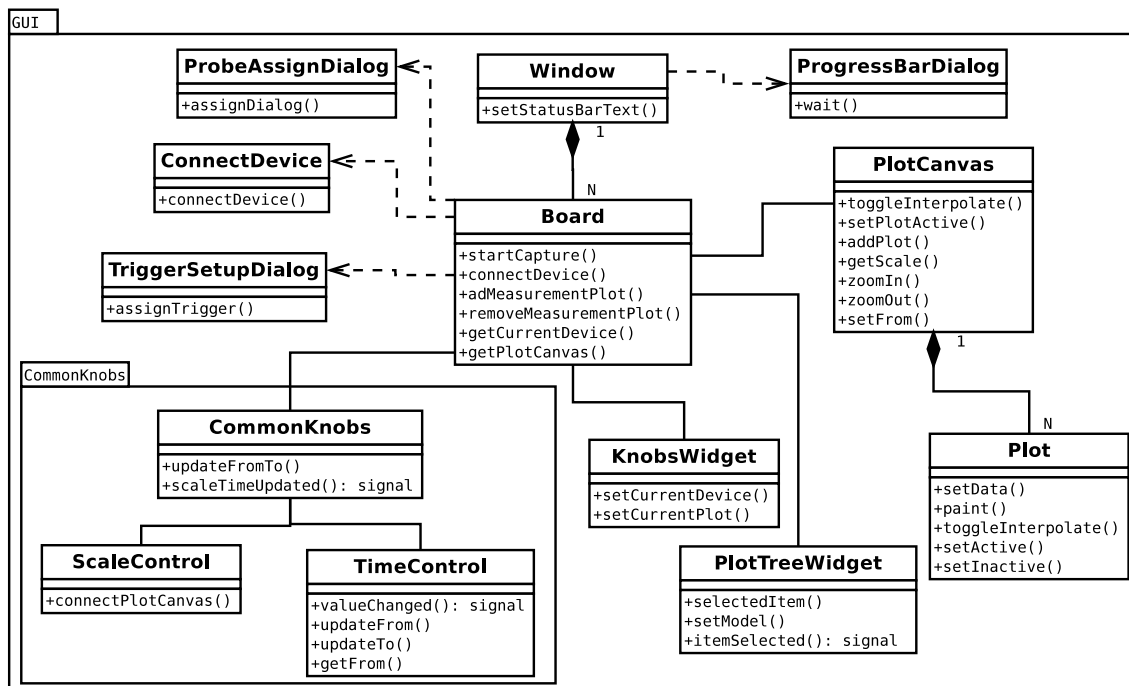
**Trieda FileSplitter** Pomocná trieda použitá pri deserializácii dátového modelu, rozdeľuje vstupný súbor na ľahšie analyzovateľné tokeny.

## 6.2.2 Modul GUI

Modul GUI zabezpečuje zobrazovanie a interakciu s užívateľom.

**Trieda Window** Táto trieda spravuje samotné okno aplikácie a panel záložiek. Reaguje na klávesové skratky a voľby z kontextového menu, spravuje otváranie súborov, pri otvorení novej záložky inicializuje objekt triedy Board. Umožňuje ostatným triedam nastaviť stavový text, čo je využité na zobrazovanie časových značiek pri meraní vzdialenosti udalostí v grafe.

**Trieda Board** Trieda Board sa stará o prepojenie ostatných grafických modulov. Predstavuje záložku v aplikácii, kde sú zobrazené ostatné grafické prvky, a to: plátno grafov (trieda PlotCanvas), hierarchický zoznam signálov (trieda PlotTreeWidget) a ovládacie prvky (triedy CommonKnobs a trieda KnobsWidget). Vyvoláva dialógové okná pre pripojenie zariadenia (trieda ConnectDevice), nastavenie triggeru (trieda TriggerSetupDialog) a pridania a priradenia grafu zvolenému vstupu zo zariadenia (trieda ProbeAssignDialog).



Obr. 6.4: Diagram tried modulu GUI

**Trieda PlotCanvas** Trieda zabezpečuje zobrazovanie mierky a ukazovateľov, má zoznam grafov, ktorým určuje polohu na vykreslenie. Obsluhuje kliknutia myši, pomocou ktorých je možné ovládať ukazovatele a merať časové vzdialenosti. Umožňuje pridať graf (metóda `addPlot()`) a ďalej nastavovať parametre zobrazenia, a to priblíženie (metódy `zoomIn()` a `zoomOut()`), čas od ktorého sú zobrazované dáta (metóda `setFrom()`), interpoláciu zobrazenia lineárneho priebehu (metóda `toggleInterpolate()`).

**Trieda Plot** Stará sa o zobrazovania samotného grafu. Umožňuje nastaviť ukazovateľ na zobrazované dáta (metóda `setData()`), nastaviť aktívny/neaktívny stav a zmeniť interpoláciu zobrazenia v prípade, že zobrazované dáta sú lineárne (metóda `toggleInterpolate()`).

**Trieda PlotTreeWidget** Trieda zobrazuje grafickú reprezentáciu stromového modelu (hierarchie signálov) uloženého v dátovom modeli. Pri výbere niektorého z uzlov oznámi zmenu aktuálne vybraného signálu uzla pomocou emitovania signálu `itemSelected()`, čo spôsobí zobrazenie príslušného zoznamu signálov pre daný uzol.

**Trieda KnobsWidget** Trieda predstavuje grafickú reprezentáciu pre ovládacie prvky zariadenia, pre analógové kanály umožňuje nastaviť referenčné napätia v podobe offsetu a škálovania, umožňuje vybrať väzbu a útlm vstupnej časti, umožňuje vybrať decimálny pomer a spôsob decimácie. Trieda pri každej voľbe grafu zmení aktuálne nastavované zariadenie.

**Triedy balíka CommonKnobs** Tieto triedy zabezpečujú manipuláciu s veľkosťou časového dielika a zobrazujú zodpovedajúcu frekvenciu (v prípade že signál má periódu dĺžky daného dielika) a takisto zabezpečujú manipuláciu s časom, od ktorého sú zobrazované vzorky



v grafe. Triedy priamo a obojsmerne komunikujú s plátnom grafov (trieda `PlotCanvas`). Trieda `ScaleControl` spravuje nastavovanie časového dielika a trieda `TimeControl` nastavuje začiatkový čas grafu.

**Trieda `TriggerSetupDialog`** Trieda reprezentuje dialógové okno nastavenia triggera, podľa zvoleného typu signálu nastavuje analógový alebo digitálny trigger na zvolenom signále. Pri nastavovaní priamo komunikuje s triedami modulu `Device`.

**Trieda `ConnectDevice`** Táto trieda prezentuje dialógové okno, kde je možné vybrať zariadenie zo zoznamu dostupných zariadení a toto zariadenie inicializovať. Pri inicializácii priamo komunikuje s triedami modulu `Device`. V prípade že sa inicializácia nepodarí tak napíše chybové hlásenie s odôvodnením prečo sa inicializácia nepodarila. Po inicializácii je možné priradovať signály v grafe na fyzické kanály.

**Trieda `ProbeAssignDialog`** Trieda tvorí dialógové okno v ktorom je možné vytvoriť signál do grafu na základe priradenia fyzického kanálu zariadenia. Umožňuje vybrať z dostupných kanálov. Po priradení je kanál zabratý pre daný graf.

**Trieda `ProgressBarDialog`** Táto trieda je využívaná v prípade blokujúcich udalostí v hlavnej slučke grafického rozhrania na zobrazenie postupu činnosti (napr dlhšie načítavanie zo súboru).

### 6.2.3 Modul `Device`

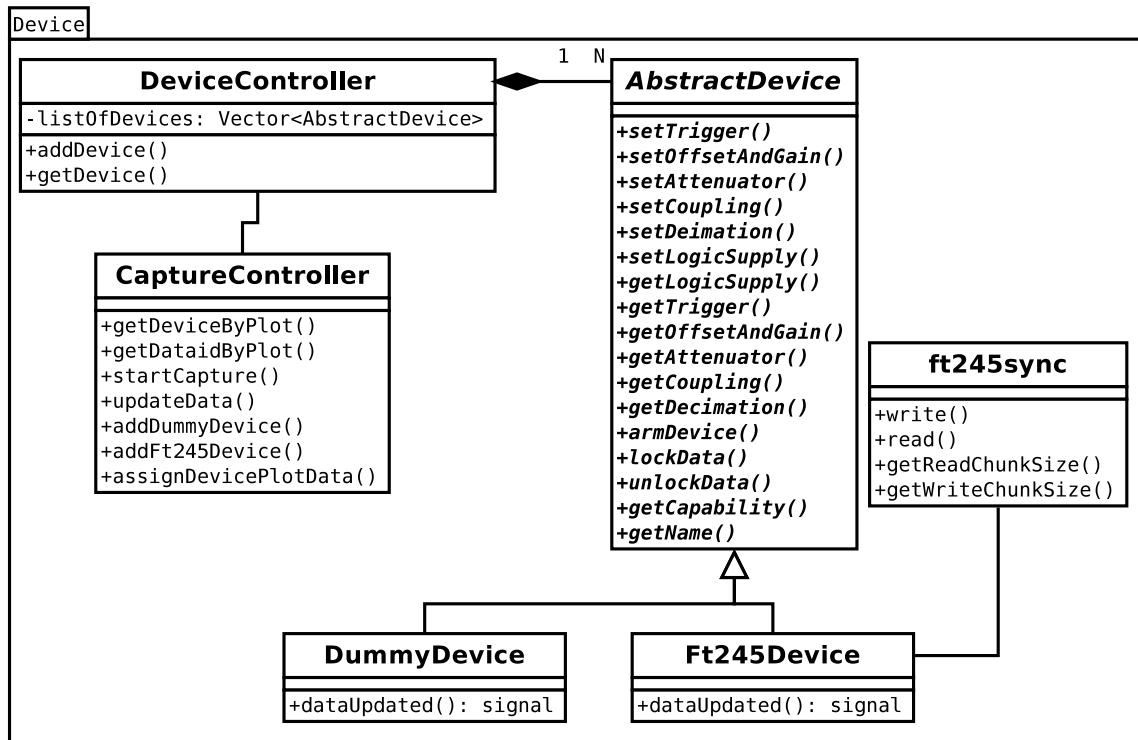
Modul zabezpečuje komunikáciu so zariadením a spracovanie dát prichádzajúcich zo zariadenia. Pre grafické rozhranie poskytuje jednoduché metódy na nastavenie parametrov zariadenia.

**Trieda `AbstractDevice`** Abstraktná trieda definujúca rozhranie pre prácu so zariadeniami nezávislú na implementácii komunikácie so zariadením. Umožňuje nastavovať a čítať stav parametrov zariadenia. Snímanie dát prebieha vo vlastnom vlákne, preto je nutné zabezpečiť zabezpečiť dáta pre správny súbežný prístup, toto zabezpečujú metódy `lockData()` a `unlockData()`.

**Trieda `DummyDevice`** Trieda implementuje rozhranie definované abstraktnou triedou `AbstractDevice`. Predstavuje simuláciu reálneho zariadenia. Nastavovanie parametrov simuluje vypísaním parametru na štandardný výstup a výstupné dáta sú generované algoritmom. Počas snímania dát je vytvorené samostatná vlákno v ktorom snímanie prebieha.

**Trieda `Ft245Device`** Rovnako ako trieda `DummyDevice` implementuje rozhranie triedy `AbstractDevice`. Trieda zabezpečuje komunikáciu s reálnym zariadením za pomoci triedy `ft245sync` skrz rozhranie FT245. Rovnako ako v triede `DummyDevice` prebieha snímanie dát v samostatnom vlákne. Komunikácia prebieha podľa protokolu definovaného v tabuľke 5.1.

**Trieda ft245sync** Trieda zapuzdruje knižnicu libftdi pre komunikáciu skrz rozhranie FT245, zabezpečuje inicializáciu rozhrania FT245 a následne operácie zápisu (metóda `write()`) a čítania (metóda `read()`).



Obr. 6.5: Diagram tried modulu Device

**Trieda DeviceController** Trieda DeviceController zapuzdruje zoznam aktívnych zariadení. Umožňuje pridať zariadenia alebo získať zariadenie zo zoznamu.

**Trieda CaptureController** Trieda CaptureController udržuje prehľad, ktorý dátový model (PlotData) je namapovaný na ktorý kanál konkrétneho zariadenia. Pri snímaní dát zabezpečuje pridávanie dát do správneho dátového modelu. Umožňuje spustiť inicializáciu zariadenia a pridať priradenie grafu na kanál konkrétneho zariadenia. Pridávanie dát do grafu je inicializované triedami odvodenými od triedy AbstractDevice.

## 6.2.4 Utility

**Programovacia utilita** Utilita načítava súbor obsahujúci bitstream<sup>1</sup> definovaný ako parameter v príkazovom riadku a pomocou knižnice libftdispi programuje FLASH pamäť. Počas programovania drží FPGA v režime vysokej impedancie.

**Utilita na snímanie dát** Utilita nastaví východzie hodnoty osciloskopu a spustí záznam, prijaté dáta vypíše na štandardný výstup. Služí hlavne pri oživovaní na jednoduché otestovanie funkčnosti komunikácie s kontrolérom vo FPGA a základné otestovanie funkčnosti zariadenia ako celku.

<sup>1</sup>Bitstream sú dáta konfigurácie FPGA

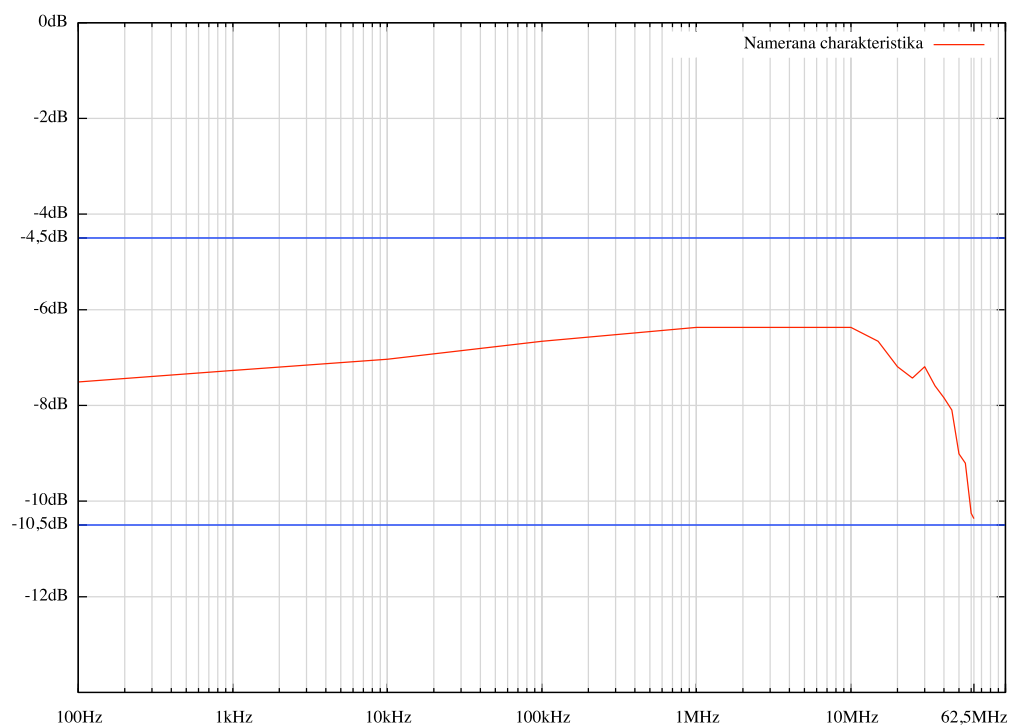
# Kapitola 7

## Záver

Dosiahnutie stanovených cieľov prebehlo úspešne. Zariadenie je až na vyššie skreslenie v jednom zo vstupných kanálov plne funkčné, tu sa však jedná skôr o výrobnú chybu ako o chybu v návrhu vzhľadom na identické zapojenie oboch kanálov. Ostatné problémy v návrhu prototypu bolo možné ošetriť bez výroby ďalších vzoriek zariadenia.

Zariadenie je schopné vzorkovať signály sínusového priebehu s frekvenciou do 62,5MHz v rámci štandardnej tolerancie  $\pm 3\text{dB}$ , ako ukazuje frekvenčná charakteristika plne funkčného vstupného kanálu na obr. 7.1.

Toto obmedzenie je definované predovšetkým použitým oscilátorom, ktorý pracuje na frekvencii 125MHz, pričom návrh hardware a firmware počítal s oscilátorom o frekvencii 150MHz čo by umožnilo vzorkovať signály do frekvencie 75MHz.



Obr. 7.1: Frekvenčná charakteristika osciloskopu (modré čiary naznačujú hranice  $\pm 3\text{dB}$ )

Vedľajším produktom práce je vytvorenie FPGA kitu, ktorý je možné použiť aj na iné aplikácie ako digitálny osciloskop a to tam, kde je vyžadovaná rýchla komunikácia s PC na úrovni USB 2.0, ktorú zabezpečuje použitý čip FTDI.

Pri praktickom testovaní bolo zistené, že najväčším obmedzením je vzorkovacia frekvencia, kde síce teoretické maximum je 62,5MHz, ale v praxi sa merajú signály rôznych priebehov, nie len sínusových a vtedy sa toto maximum znižuje. Prípadné rozšírenia a vylepšenia by mali byť zamerané hlavne na použitie oscilátoru na vyššej frekvencii, kde by sa dal využiť plný potenciál použitého AD prevodníku, ktorého maximálna vzorkovacia frekvencia dosahuje 200MHz až 230MHz, toto by si však už vyžadovalo zásah do firmwae, ktorý by bolo nutné optimalizovať, aby dokázal pracovať na vyššej frekvencii, prípadne by bolo možné použiť model FPGA s vyšším „speed grade“<sup>1</sup>.

Ďalej by bolo možné rozšíriť možnosti triggerov, kde by sa dali okrem základných triggerov použiť rôzne kombinácie triggerov medzi digitálnymi a analógovými vstupmi.

Vylepšením by mohlo byť aj využitie osadenej pamäte SDRAM na ukladanie vzoriek. Väčší objem pamäte by sa dal využiť hlavne pri analýze komunikácie po zberniciach a obecné pri nerepetitívnych javoch, ktoré majú dlhé trvanie.

Ďalšie vylepšenia by sa mohli týkať software, kde by bolo možné implementovať tzv. „digital phosphore“, ktorý simuluje správanie obrazovky analógového osciloskopu, a to hlavne vlastnosť, kde rýchle alebo samostatné zmeny signálu sú viditeľné slabšie ako pomalé alebo repetitívne, čo zlepšuje použiteľnosť osciloskopu v niektorých aplikáciách. Ďalej by bolo možné pridať X-Y režim a spektrálnu analýzu pomocou rýchlej Fourierovej transformácie.

Ďalšou možnosťou vzhľadom na pomerne malé rozmery zariadenia by bol vývoj software pre smartphony alebo tablety, čím by sa stal zo zariadenia prenosný osciloskop.

---

<sup>1</sup>„Speed grade“ je označenie rýchlostných kategórií FPGA, kde FPGA s vyšším speed grade sú vyrobené tak že komponenty FPGA majú nižšie spínacie časy

# Literatúra

- [1] 200-MHz GENERAL-PURPOSE CLOCK BUFFER, PCI-XCOMPLIANT. [online]. 2011 [cit. 2013-04-19].  
URL <http://www.ti.com/lit/ds/symlink/cdcv304.pdf>
- [2] ADC08200 8-Bit, 20 Msps to 200 Msps, Low Power A/D Converter with Internal Sample-and-Hold. [online]. 2013 [cit. 2013-04-19].  
URL <http://www.ti.com/lit/ds/symlink/adc08200.pdf>
- [3] Cap-Free, NMOS, 150mALowDropout Regulator with Reverse Current Protection. [online]. 2009 [cit. 2013-04-19].  
URL <http://www.ti.com/lit/ds/symlink/tps73101.pdf>
- [4] FT2232 breakout board. [online]. 2012 [cit. 2013-04-20].  
URL [http://dangerousprototypes.com/docs/FT2232\\_breakout\\_board](http://dangerousprototypes.com/docs/FT2232_breakout_board)
- [5] FT2232H Dual High Speed USB to Multipurpose UART/FIFO IC. [online]. 2012 [cit. 2013-04-20].  
URL <http://www.scribd.com/doc/62219854/DS-FT2232H>
- [6] IS42S16400F. [online]. 2011 [cit. 2013-04-20].  
URL <http://www.issi.com/pdf/42S16400F.pdf>
- [7] KNJN Flashy acquisition boards. [online]. 2012 [cit. 2013-02-18].  
URL <http://www.knjn.com/docs/KNJN%20Flashy%20boards.pdf>
- [8] LM3671, LM3671Q 2MHz, 600mA Step-Down DC-DC Converter. [online]. 2013 [cit. 2013-05-12].  
URL <http://www.ti.com/lit/ds/snvs294p/snvs294p.pdf>
- [9] LT1054/LT1054L Switched-Capacitor Voltage Converter with Regulator. [online]. [cit. 2013-04-19].  
URL <http://cds.linear.com/docs/en/datasheet/1054lfg.pdf>
- [10] MCP1603 2.0 MHz, 500 mA Synchronous Buck Regulator. [online]. 2012 [cit. 2013-05-12].  
URL <http://ww1.microchip.com/downloads/en/DeviceDoc/22042B.pdf>
- [11] MCP4017/18/19 7-Bit Single I2CTM Digital POT with Volatile Memory in SC70. [online]. 2009 [cit. 2013-04-19].  
URL <http://ww1.microchip.com/downloads/en/devicedoc/22152b.pdf>
- [12] Model/View Programming. [online]. [cit. 2013-04-21].  
URL <http://qt-project.org/doc/qt-4.8/model-view-programming.html>

- [13] OPA355 200MHz, CMOS OPERATIONAL AMPLIFIER WITH SHUTDOWN. [online]. 2004 [cit. 2013-04-19].  
URL <http://www.ti.com/lit/ds/symlink/opa355.pdf>
- [14] PERFORMANCE PLASTIC PACKAGE ULTRA MINIATURE PURE SILICON CLOCK OSCILLATOR. [online]. 2011 [cit. 2013-04-19].  
URL <http://www.abracon.com/Oscillators/ASFLMP.pdf>
- [15] SN74LVC16T245 16-BIT DUAL-SUPPLY BUS TRANSCEIVER WITH CONFIGURABLE VOLTAGE TRANSLATION AND 3-STATE OUTPUTS. [online]. 2005 [cit. 2013-04-19].  
URL <http://www.ti.com/lit/ds/symlink/sn74lvc16t245.pdf>
- [16] Spartan-6 FPGA Clocking Resources. [online]. 2012 [cit. 2013-04-20].  
URL [http://www.xilinx.com/support/documentation/user\\_guides/ug382.pdf](http://www.xilinx.com/support/documentation/user_guides/ug382.pdf)
- [17] Spartan-6 FPGA Configuration. [online]. 2012 [cit. 2013-04-20].  
URL [http://www.xilinx.com/support/documentation/user\\_guides/ug380.pdf](http://www.xilinx.com/support/documentation/user_guides/ug380.pdf)
- [18] TLV5620C, TLV5620I QUADRUPLE 8-BIT DIGITAL-TO-ANALOG CONVERTERS. [online]. 1997 [cit. 2013-04-19].  
URL <http://www.ti.com/lit/ds/slas110b/slas110b.pdf>
- [19] TS924, TS924A Rail-to-rail high output current quad operational amplifier. [online]. 2012 [cit. 2013-04-19].  
URL [www.st.com/internet/analog/product/65463.jsp](http://www.st.com/internet/analog/product/65463.jsp)
- [20] Value Change Dump (VCD). [online]. [cit. 2013-04-21].  
URL <http://www.beyondttl.com/vcd.php>
- [21] Welcome to MyHDL [MyHDL]. [online]. 2011-05 [cit. 2013-04-21].  
URL <http://www.myhdl.org>
- [22] *XYZs of Oscilloscopes*. Tektronix, [online]. 2001 [cit. 2013-04-17].  
URL [http://socrates.berkeley.edu/~phylabs/bsc/Supplementary/Lab1/xyz\\_scopes.pdf](http://socrates.berkeley.edu/~phylabs/bsc/Supplementary/Lab1/xyz_scopes.pdf)
- [23] Úvod - FITkit. [online]. 2013 [cit. 2013-05-12].  
URL <http://merlin.fit.vutbr.cz/FITkit/>
- [24] COOMBS Jr., C. F.: *ELECTRONIC INSTRUMENT HANDBOOK*. McGraw-Hill, Inc, 1995, ISBN 007012616X 9780070126169.
- [25] FORD, D.: *The Secret World of Oscilloscope Probes*. 2009-10.
- [26] HOLCOMB, M. S.; HALL, S. O.; TUSTIN, W. S.; a i.: Design of a Mixed-Signal Oscilloscope. *Hewlett-Packard Journal*, ročník 48, č. 2, 1997.
- [27] Ing. JURKOVIČ, K.; Ing. ZODL, J. C.: *Průručka nízkofrekvenční obvodové techniky*. Alfa, 1985, ISBN 63-041-85.

**Dodatok A**

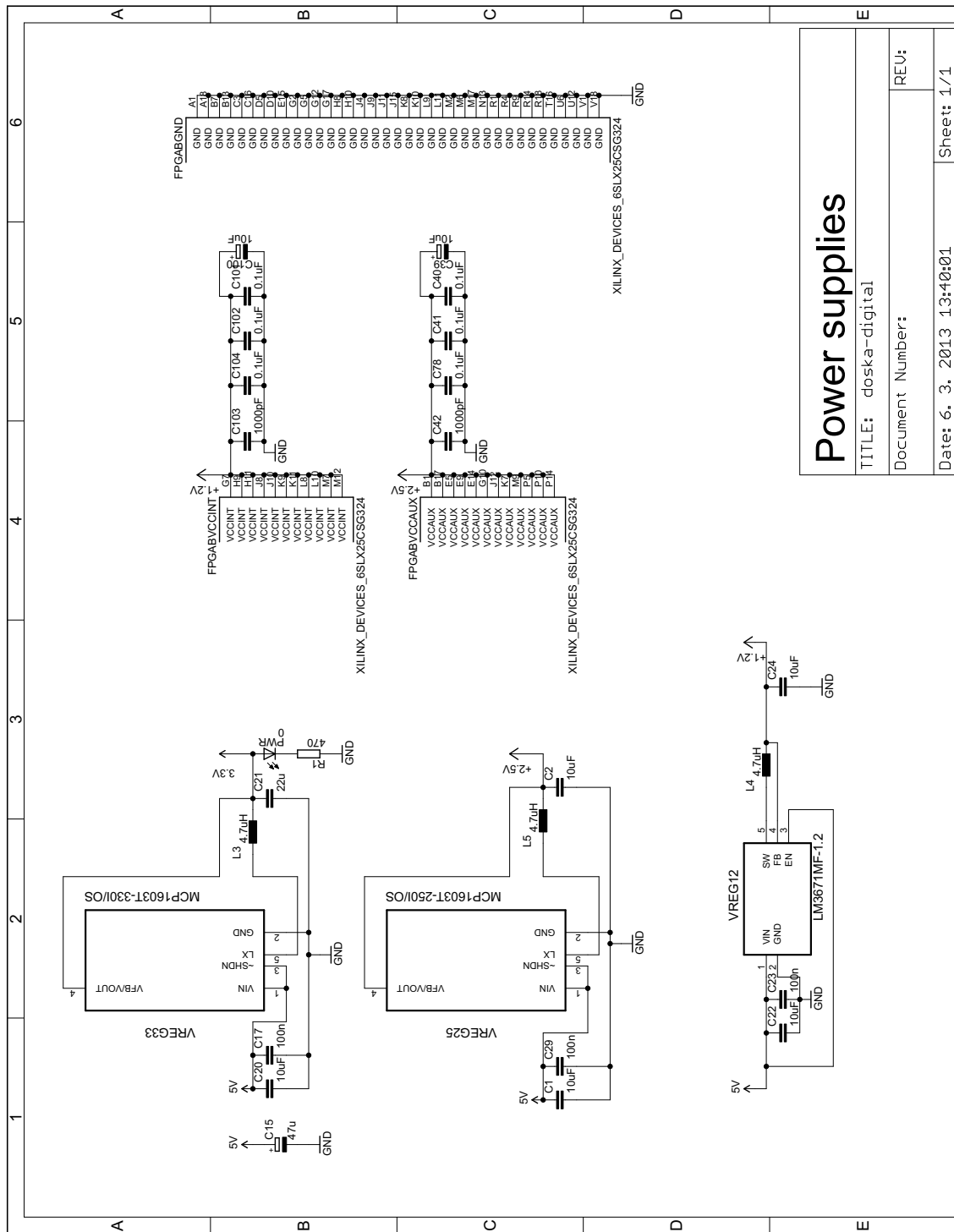
**Úplná schéma digitálnej dosky**







## A.2 Schéma napájacích zdrojov



# Power supplies

TITLE: doska-digital

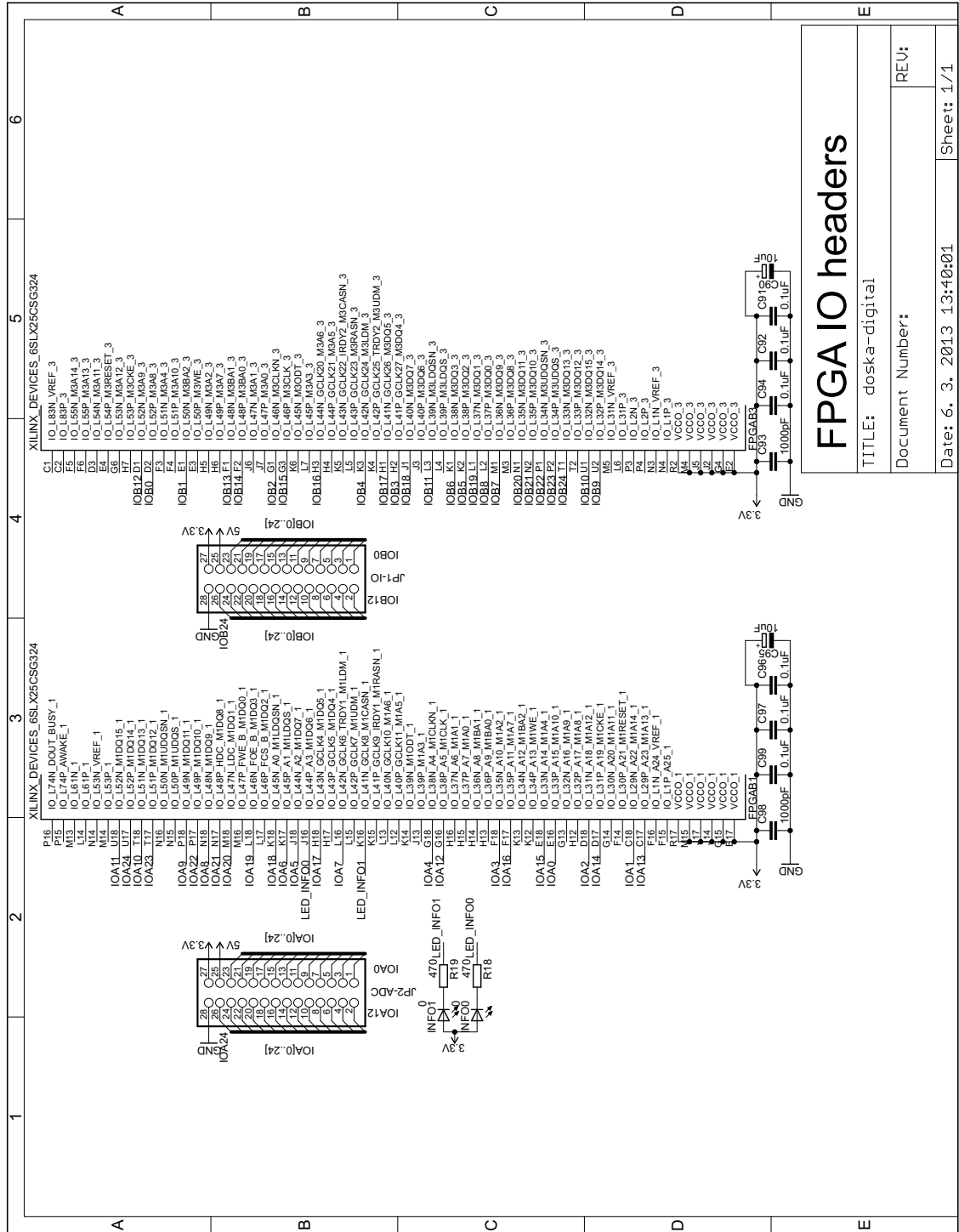
Document Number:

REU:

Date: 6. 3. 2013 13:40:01

Sheet: 1/1

# A.3 Schéma IO konektorov



**FPGA IO headers**

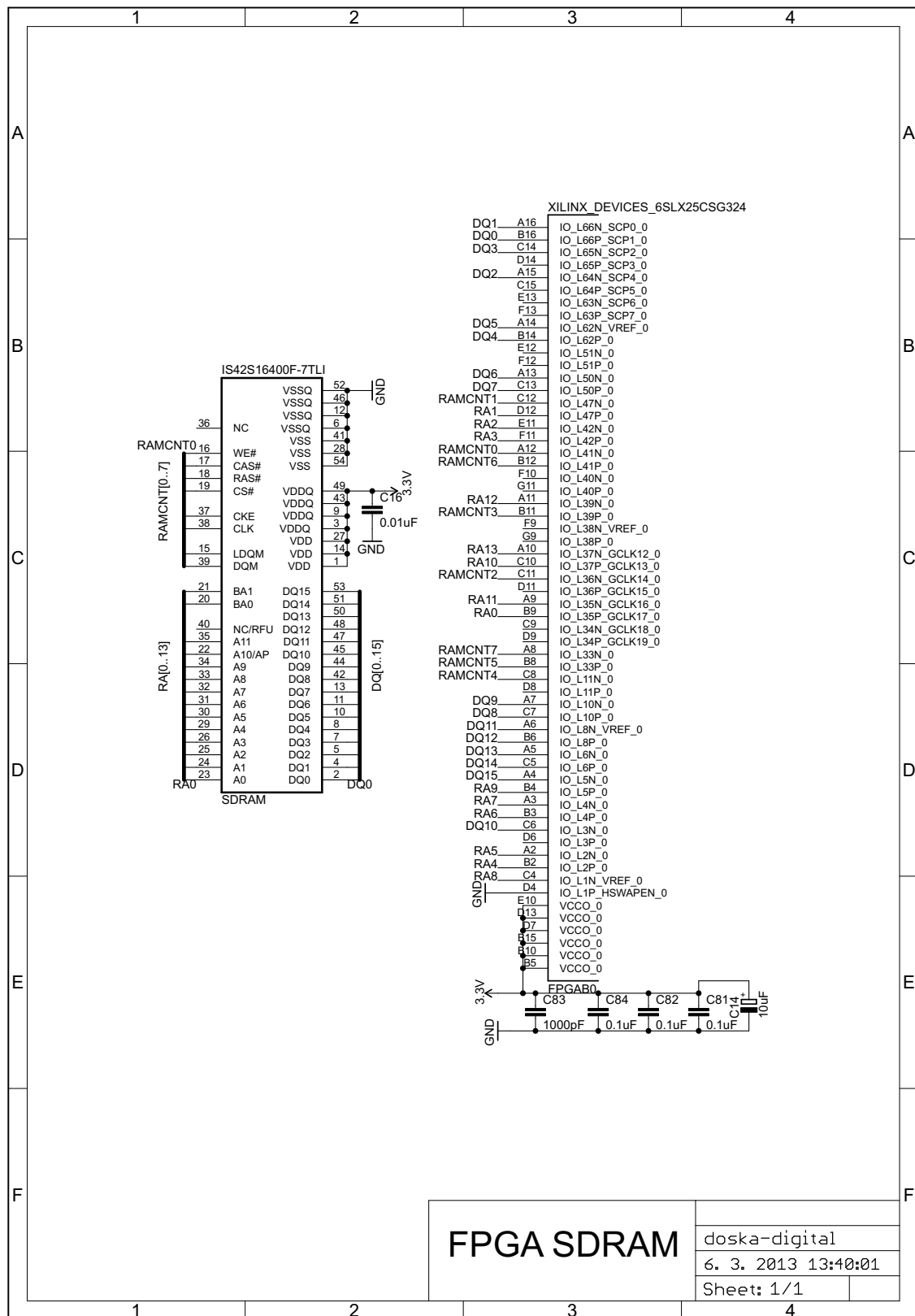
TITLE: doska-digital

Document Number:

Date: 6. 3. 2013 13:40:01

Sheet: 1/1

## A.4 Schéma zapojenia pamäte SDRAM



FPGA SDRAM

doska-digital

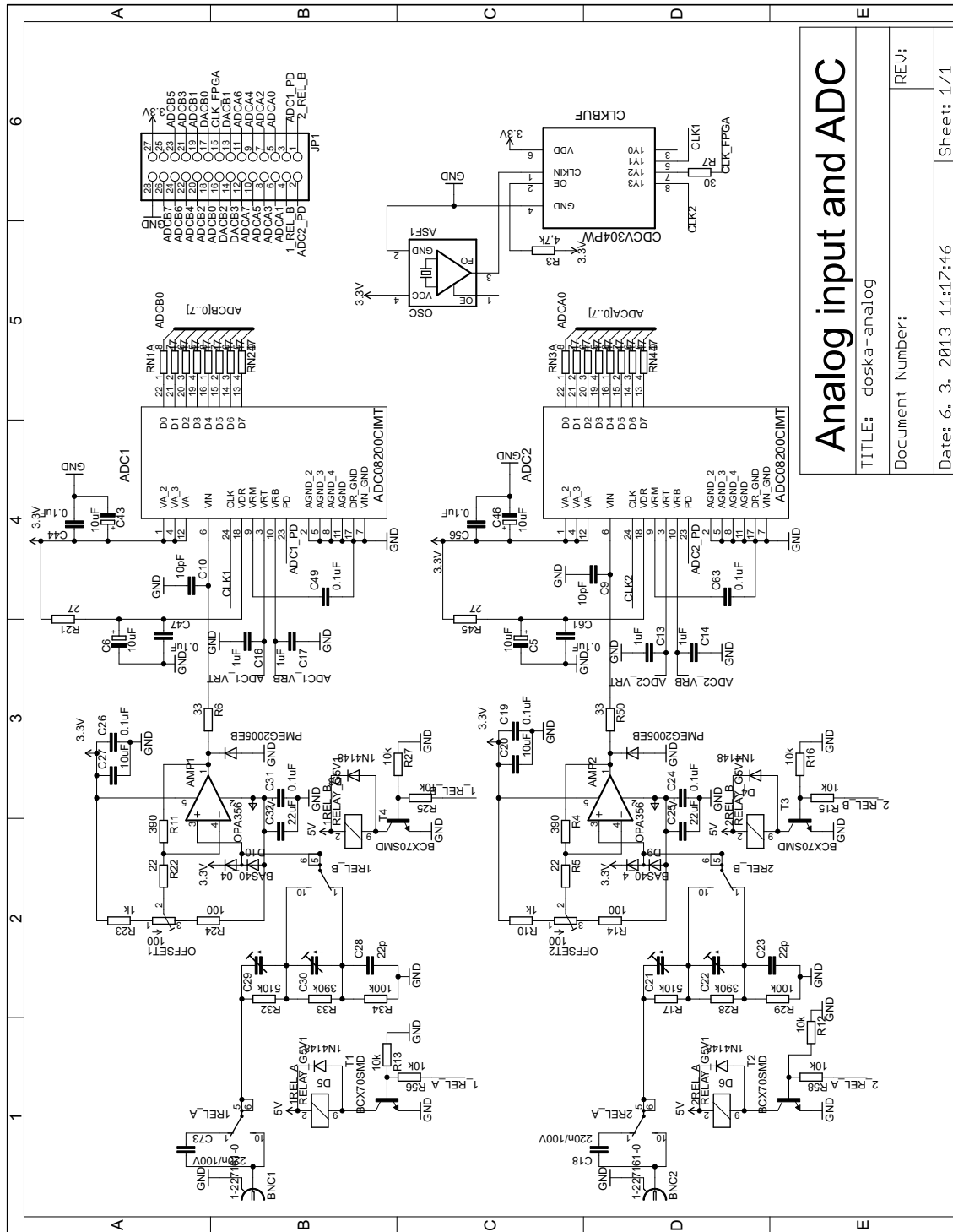
6. 3. 2013 13:40:01

Sheet: 1/1

**Dodatok B**

**Úplná schéma analógovej dosky**

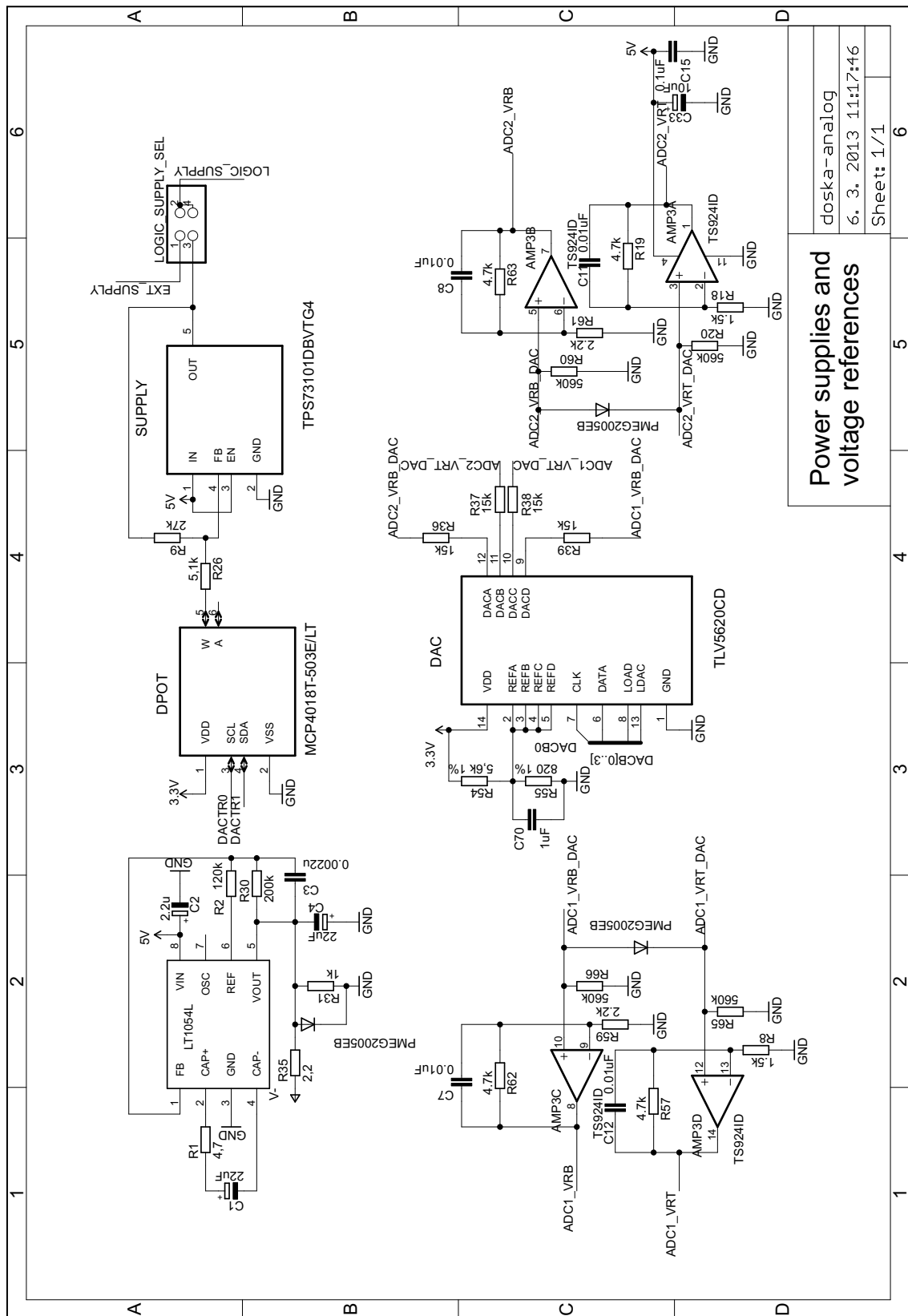
# B.1 Schéma analógového vstupu a ADC



**Analog input and ADC**  
 TITLE: doska-analog  
 Document Number:  
 Date: 6. 3. 2013 11:17:46  
 Sheet: 1/1



## B.2 Schéma napájacieho zdroja a zdroja referenčných napätí



Power supplies and  
voltage references

doska-analog

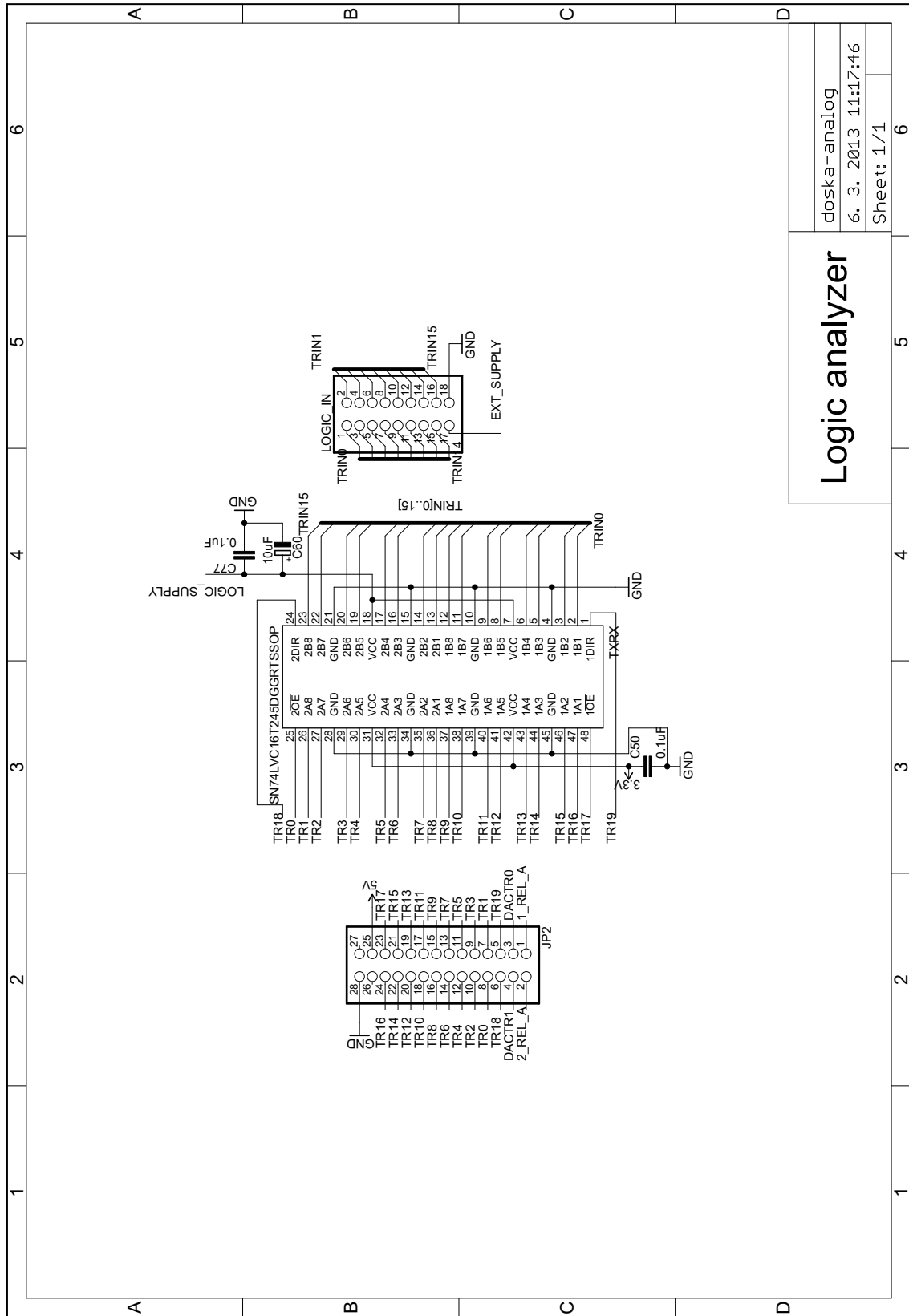
6. 3. 2013 11:17:46

Sheet: 1/1





### B.3 Schéma logického analyzátora

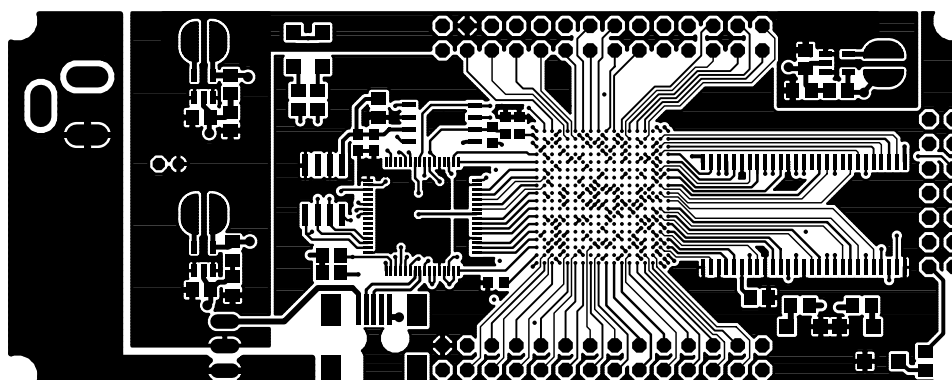


**Logic analyzer**

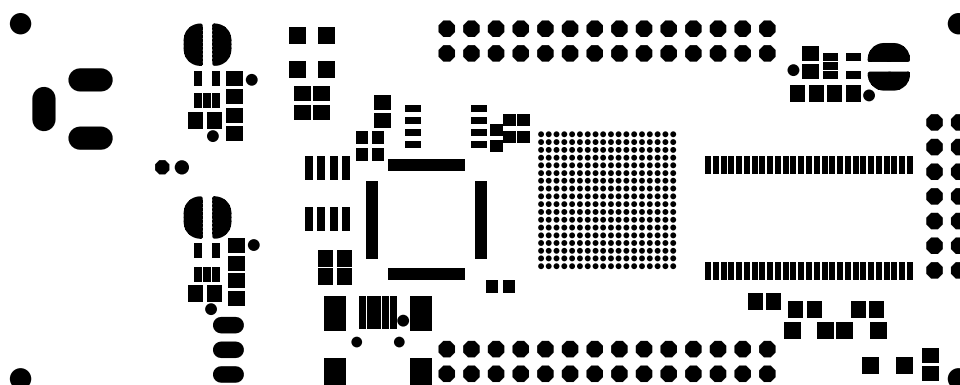
doska-analog  
6. 3. 2013 11:17:46  
Sheet: 1/1

## Dodatok C

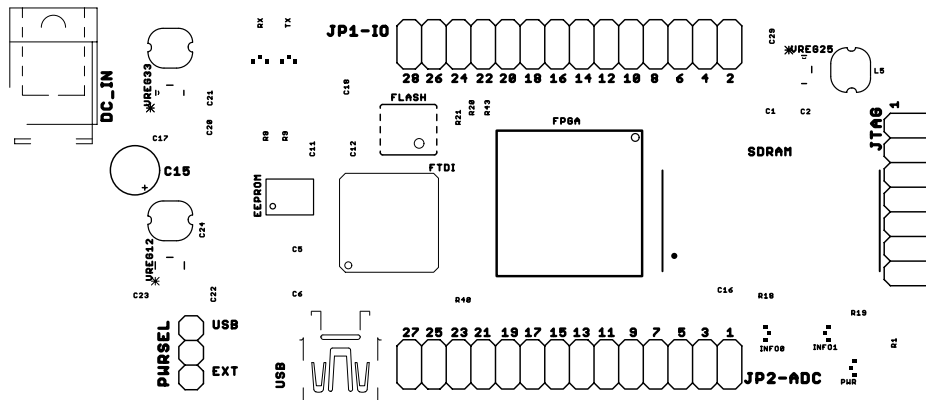
# Obraz dosky plošných spojov digitálnej dosky



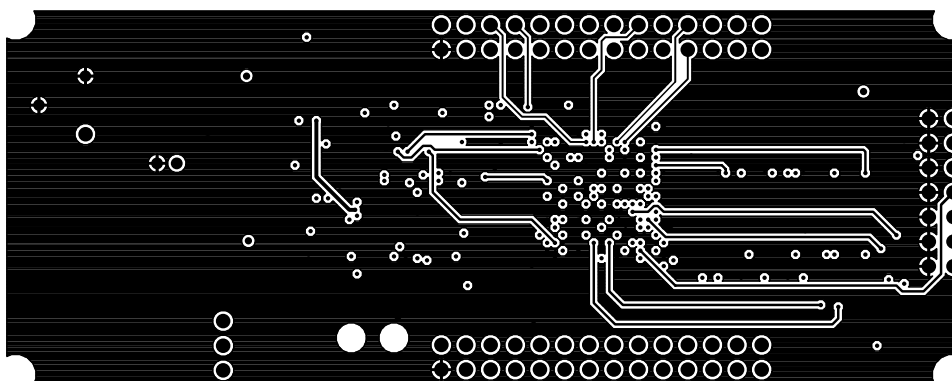
Obr. C.1: Vrchná strana - meď



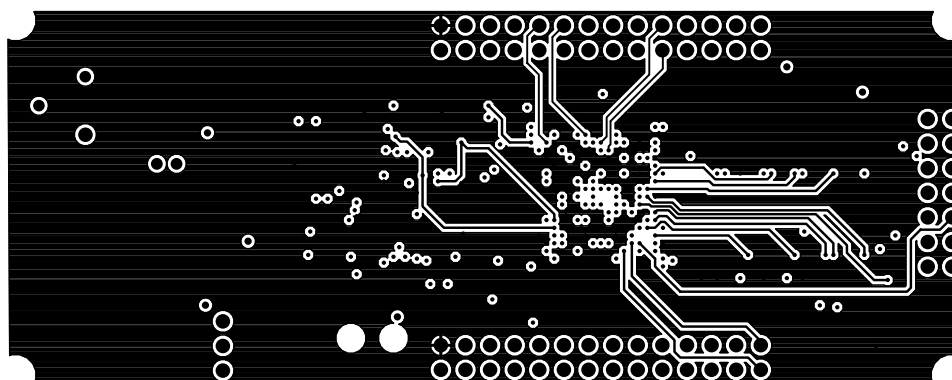
Obr. C.2: Odmaskované časti na vrchnej strane



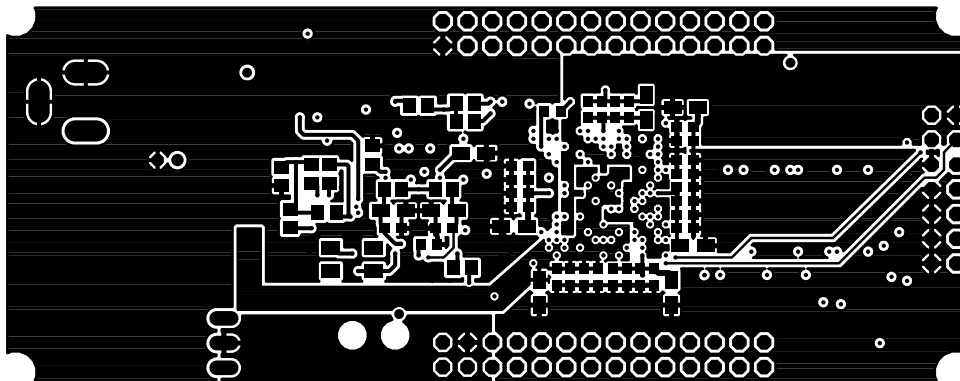
Obr. C.3: Sieťotlač na vrchnej strane



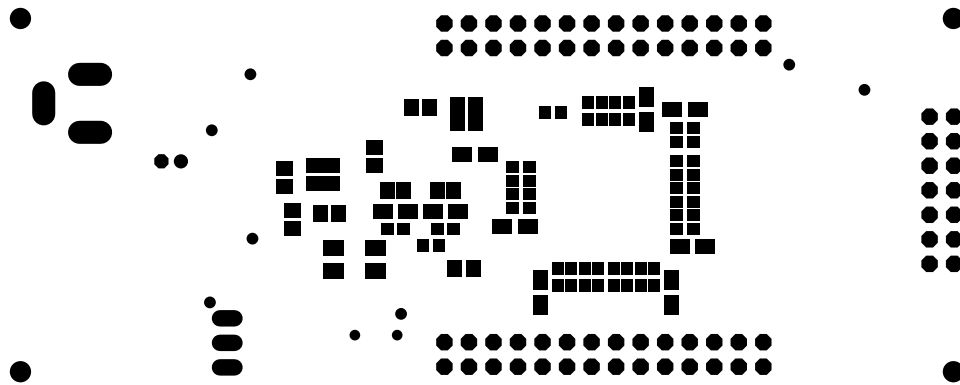
Obr. C.4: Prvá vnútorná vrstva - meď



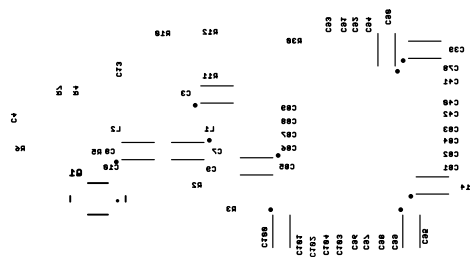
Obr. C.5: Druhá vnútorná vrstva - meď



Obr. C.6: Spodná strana - med'



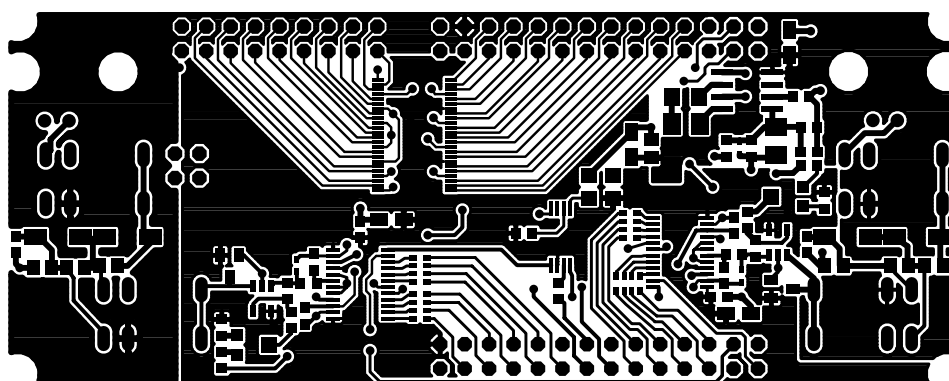
Obr. C.7: Odmaskované časti na spodnej strane



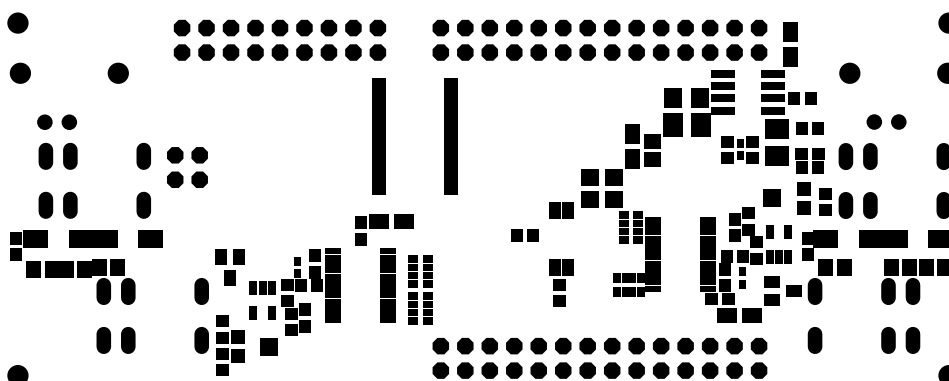
Obr. C.8: Sieťotlač na spodnej strane

## Dodatok D

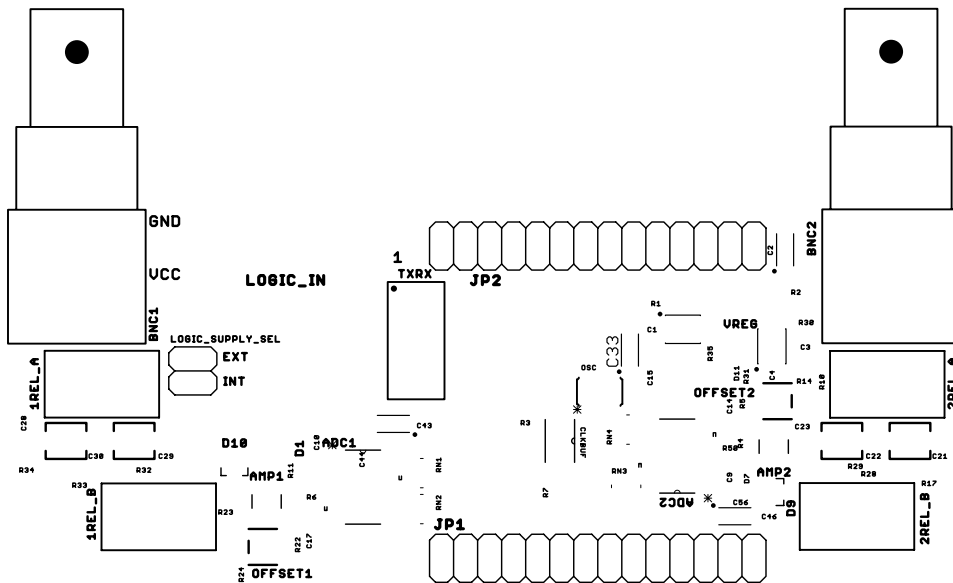
# Obraz dosky plošných spojov analógovej dosky



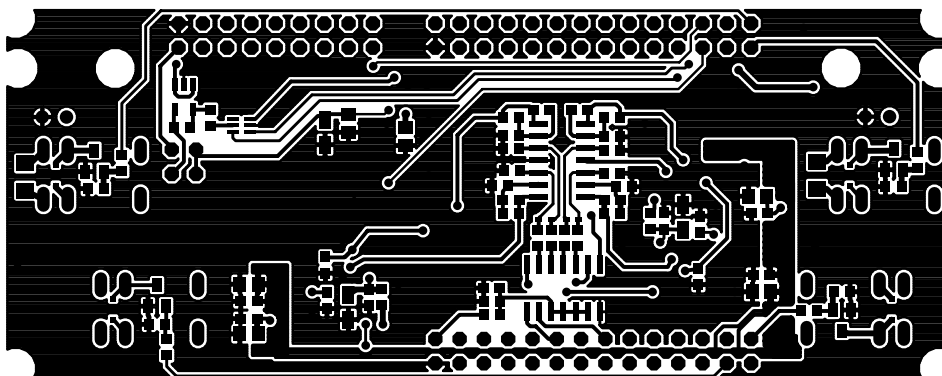
Obr. D.1: Vrchná strana - meď



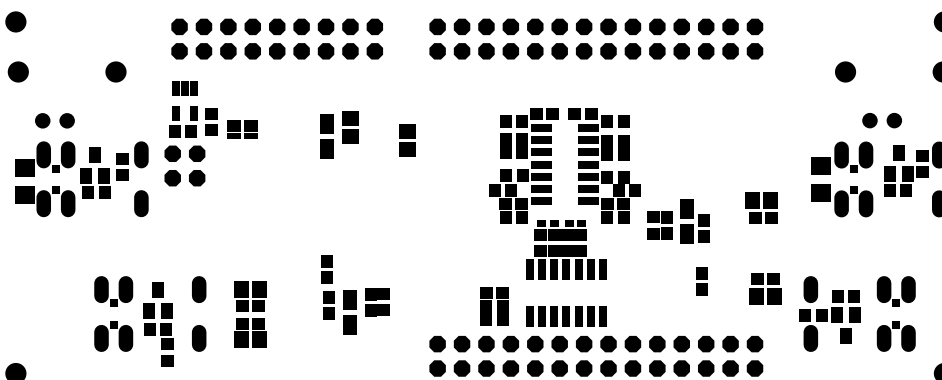
Obr. D.2: Odmaskované časti na vrchnej strane



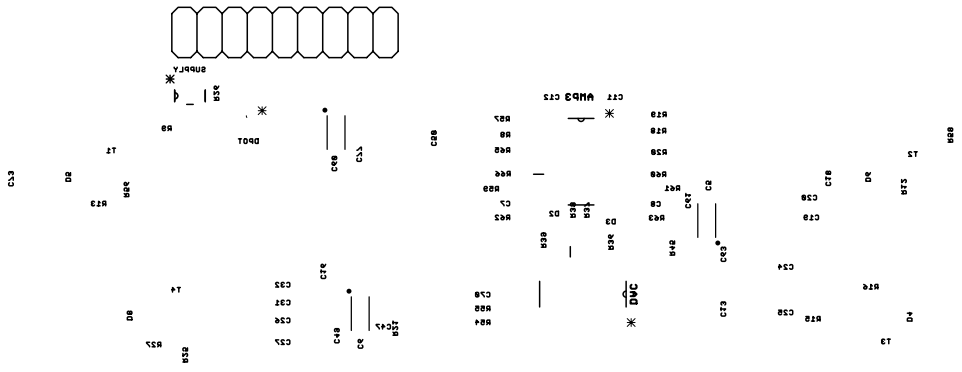
Obr. D.3: Sieťotlač na vrchnej strane



Obr. D.4: Spodná strana - meď



Obr. D.5: Odmaskované časti na spodnej strane



Obr. D.6: Sietotlač na spodnej strane



# Dodatok E

## Obsah CD

- /firmware - firmware pre FPGA
  - /ise\_project - kompletný projekt pre Xilinx ISE so zdrojovými súbormi VHDL
  - /myhdl - zdrojové súbory v MyHDL z ktorých boli vygenerované VHDL súbory
- /hardware - súbory návrhu hardware
  - /eagle\_sources - návrh dosiek vo formáte návrhového softwaru Eagle
  - /gerbers - súbory pre výrobu DPS vo formáte gerber
  - /ltspice\_simulations - simulačné modely použité pri simuláciách v LTSpice
- /software - zdrojové súbory softwaru
  - /QWave - zdrojové súbory riadiaceho softwaru včetně projektu pre Qt Creator
  - /Utils
    - \* /ft245test - utilita na otestovanie funkčnosti komunikácie cez FT245
    - \* /programmer - utilita na programovanie FPGA
- /text - zdrojové súbory technickej správy v LaTeXe

# Dodatok F

## Manuál

### F.1 Hardware

Pre použitie hardware stačí zariadenie pripojiť pomocou MiniUSB káblu do PC. Ak sa do niekoľkých sekúnd nerozsvieti zelená LED POWER a následne červená LED INFO tak je nutné prepnúť prepokku PWRSEL z polohy USB do polohy EXT a pripojiť externý napájací adaptér s napätím 5V.

Pre použitie osciloskopu stačí pripojiť osciloskopovú sondu do niektorého z BNC konektorov. Pri používaní logického analyzátoru treba brať na zreteľ prepokku LOGIC\_SUPPLY\_SEL, ktorou je možné vybrať spôsob pripojenia napájania analyzátoru. V polohe EXT sa používa napätie privedené na vývod VCC logického analyzátoru. V polohe INT sa používa logická úroveň nastavená v GUI ovládacieho programu. V prípade že sú zapojené obe polohy zároveň, tak je na vývod VCC privedené napätie nastavené v ovládacom programe a je možné napájať týmto napätím meraný obvod.

### F.2 Firmware

Firmware je už nahratý v pamäti FLASH na doske s FPGA. Avšak v prípade potreby je možné preložiť z priloženého projektu v Xilinx ISE. Prípadne je možné použitím príkazu `make` v priečinku so zdrojovými súborami v MyHDL vygenerovať VHDL súbory, vzhľadom ale na niektoré chyby v systéme MyHDL pri práci s obojsmernými zbernicami je nutné zdrojové súbory ručne upraviť inak počas syntézy ISE zahlási chyby.

### F.3 Software

Na úspešné preloženie softwaru treba mať nainštalovaný toolkit Qt verzie 4.8 alebo vyššej a knižnicu `libftdi`. Následne stačí otvoriť projekt v Qt Creatore a spustiť preklad. Software bol testovaný na operačných systémoch Mac OS X 10.6 a Kubuntu 12.10.

Po zapnutí aplikácie sa zariadenie inicializuje cez ponuku Device vybratím možnosti `Connect device...` Otvorí sa dialógové okno v ktorom je možné vybrať dostupné zariadenia, kde vyvinuté zariadenie figuruje pod názvom QWave FT245 probe.

Potom je možné pomocou možnosti `Add measurement plot` v menu `Measurement` priradiť graf k vybranému vstupu na fyzickom zariadení, kde je na výber priradenie analógového kanálu a kanálov digitálnych, kde digitálne kanály je možné spojiť do registra.

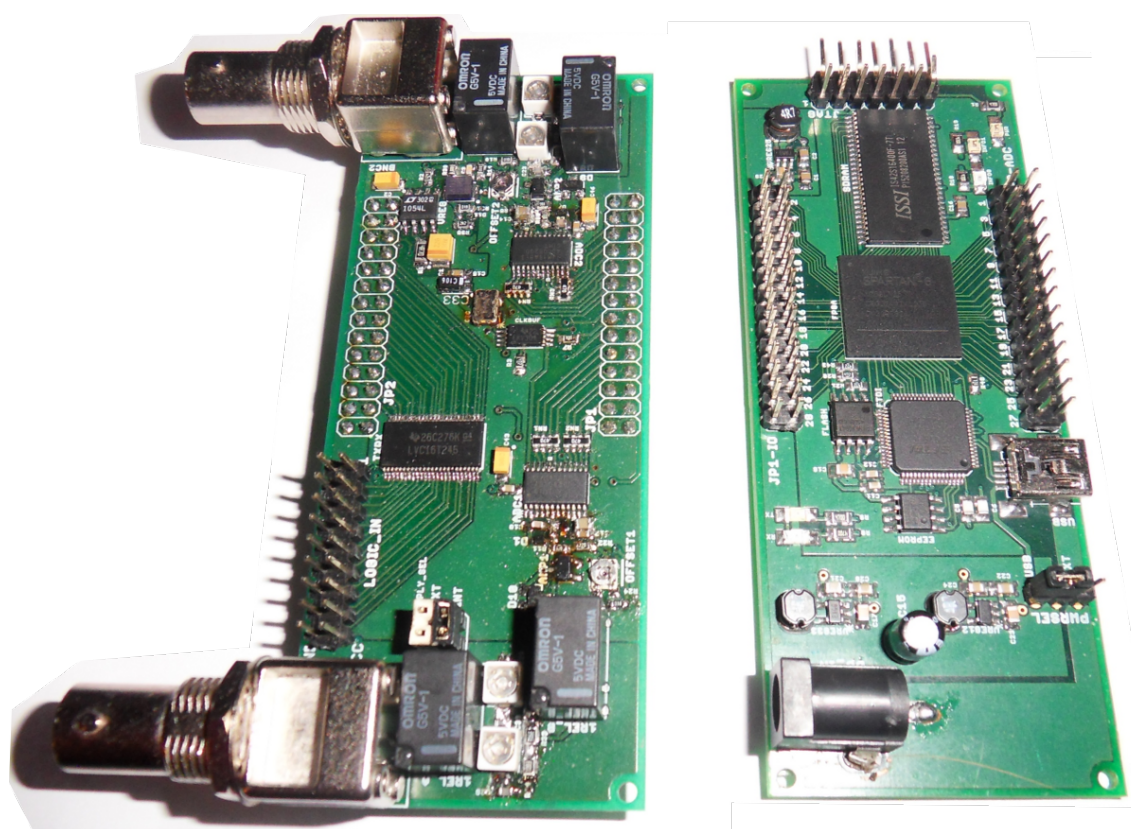
Trigger sa nastavuje stlačením pravého tlačidla myši na názov grafu a vybratím možnosti **Set trigger**. Ponuka ďalej umožňuje vypnúť alebo zapnúť interpoláciu pomocou možnosti **Toggle interpolation**.

Offset, škálovanie, väzba a útlm sa nastavuje v pravom paneli v spodnej časti **Probe** v časti **Levels** tieto nastavenia sa nastavujú pre každý analógový kanál zvlášť. V prípade digitálnych kanálov táto ponuka obsahuje výber logickej úrovne z možností 1.8V, 2,5V, 3,3V, a 5V. V časti **Decimation** je možné vybrať decimačný pomer a spôsob decimácie, ktorý sa nastavuje globálne pre všetky kanály. Tlačidlo **Arm** aktivuje trigger(y) osciloskopu a namerané vzorky sa okamžite objavujú na obrazovke. V prípade zaškrtnutej voľby **Auto rearm** osciloskop automaticky aktivuje trigger znova po prenesení vzoriek do PC.

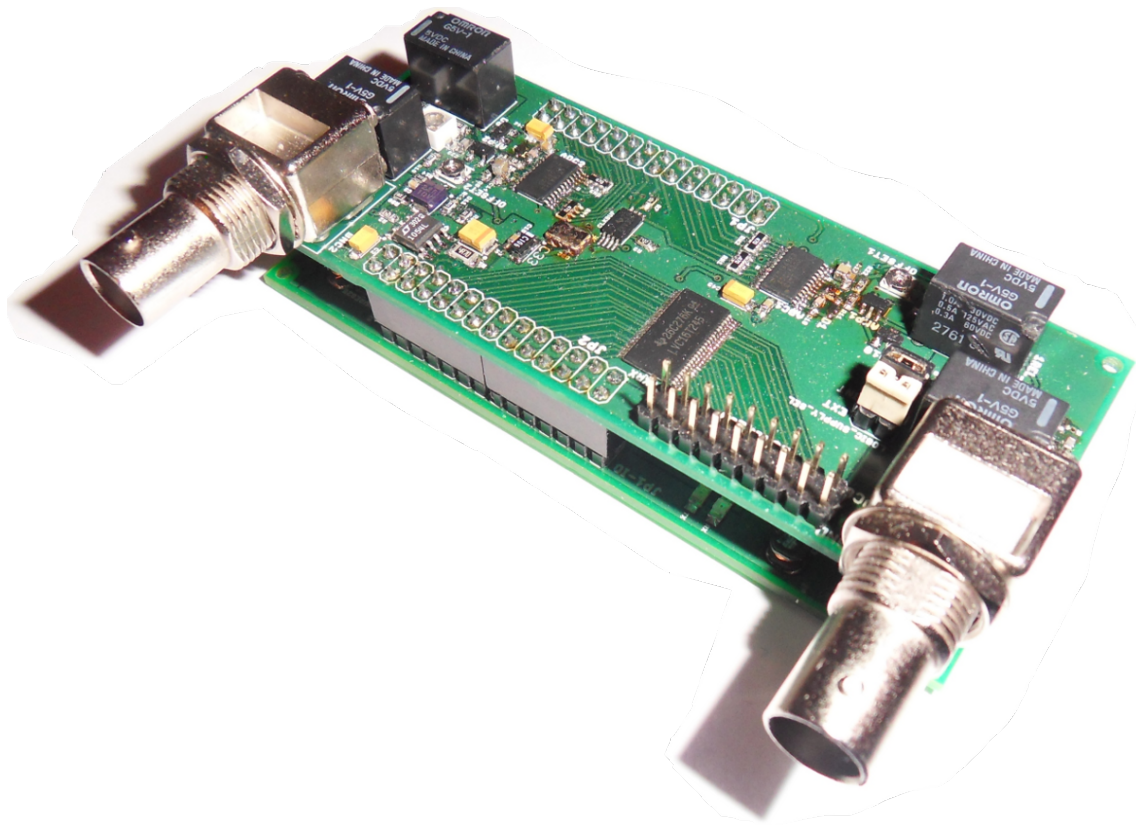
Meranie je možné uložiť vo formáte VCD, ktoré je možné následne neskôr načítať, prípadne spracovávať externým softwarom. Taktiež je možné načítavať ľubovoľné súbory VCD vytvorené napríklad simulačným softwarom.

## Dodatok G

# Fotografie realizovaného zariadenia



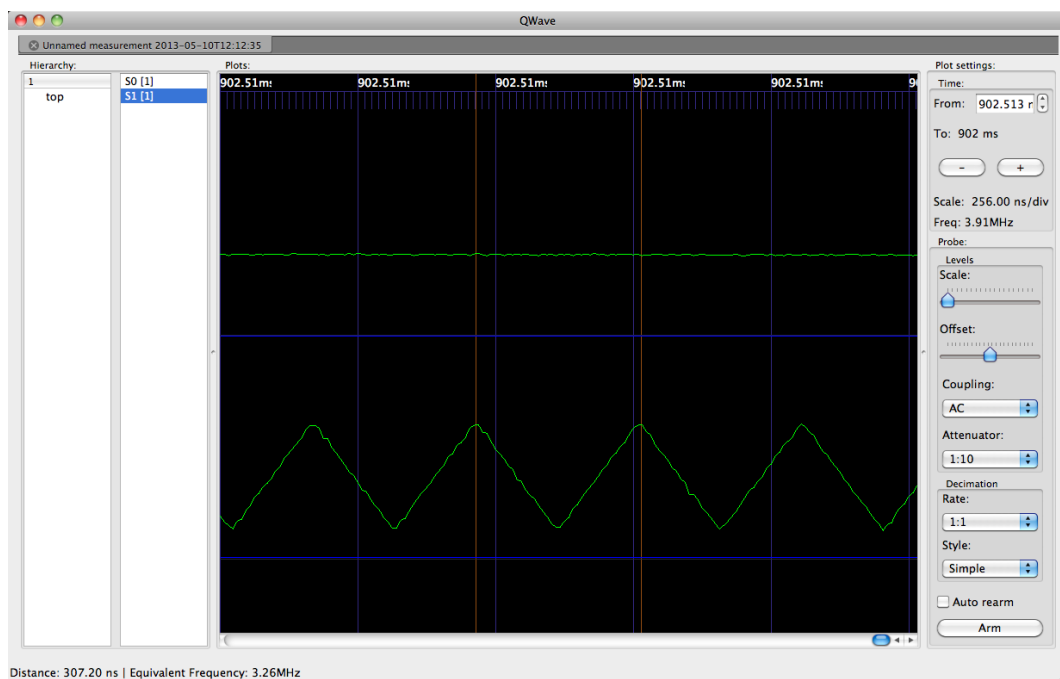
Obr. G.1: Fotografia dosiek samostatne



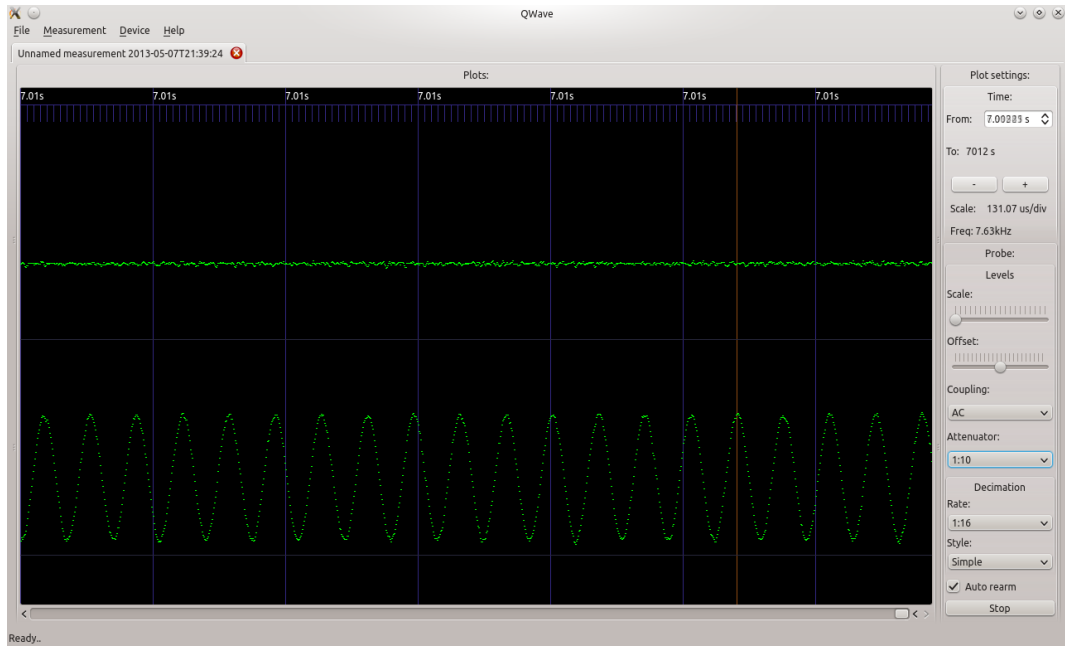
Obr. G.2: Fotografia kompletného zariadenia

## Dodatok H

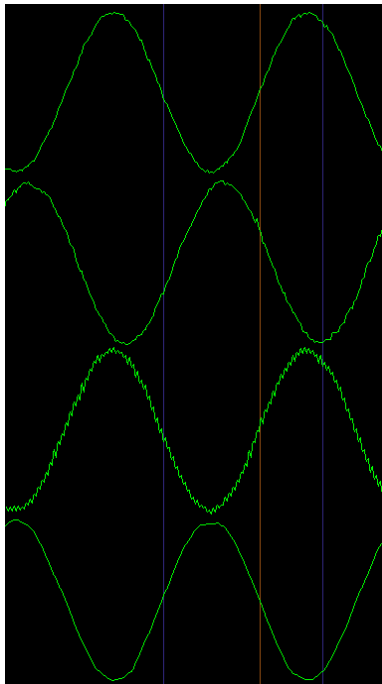
# Snímky obrazovky aplikácie



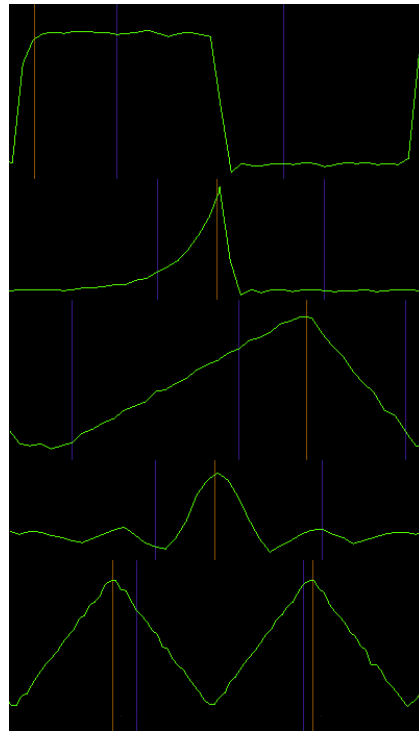
Obr. H.1: Ukážka aplikácie v systéme Mac OS X pri vzorkovaní trojuholníkového priebehu na frekvencii 3,33MHz



Obr. H.2: Ukážka aplikácie v systéme Kubuntu pri vzorkovaní sínusového priebehu na frekvencii 10kHz



Obr. H.3: Ukážka rôznych spôsobov decimácie, od vrchu jednoduchá, dithering, detekcia vrcholov a vyhladzovanie



Obr. H.4: Meranie priebehov z generátora  $f=3,33\text{MHz}$ , od vrchu obdĺžnik, exponenciála, ramp, kardinálny sínus, trojuholník