

Posudek oponenta bakalářské práce

Student: Orsák Michal
Téma: Akcelerace NATu a paketového filtru v FPGA pro 10G sítě (id 18665)
Oponent: Kořenek Jan, Ing., Ph.D., UPSY FIT VUT

- 1. Náročnost zadání** **značně obtížné zadání**
Cílem práce bylo navrhnout systém pro akceleraci síťových úloh s využitím technologie FPGA a výpočetních modulů na bázi procesorů ARM. Práci vnímám jako velmi náročnou, neboť bylo potřeba vzít v úvahu aspekty obou technologií a navrhnout v hodný způsob akcelerace. Oceňuji, že student nad rámec zadání vytvořil nástroj pro mapování z jazyka Python do VHDL a využil je k realizaci komponent.
- 2. Splnění požadavků zadání** **zadání splněno**
Zadání bylo splněno ve všech bodech.
- 3. Rozsah technické zprávy** **je v obvyklém rozmezí**
Rozsah technické zprávy odpovídá požadavkům kladeným na bakalářskou práci.
- 4. Prezentací úroveň předložené práce** **50 b. (E)**
Technická zpráva má řadu nedostatků, které kazí dojem z celé práce. Úvod má charakter zdůvodnění přínosů práce místo uvedení do problematiky. Struktura práce je sice přehledná, ale popis v rámci jednotlivých kapitol je velmi stručný. Chybí hlubší zdůvodnění návrhu architektury. Popis se soustřeďuje na konkrétní komponenty, ale věnuje malou pozornost celku. Stejně tak je pouze naznačeno, jak by měly vypadat aplikace s navrženou архитектурou. Chybí alespoň krátké zhodnocení navržené architektury v jednotlivých aplikacích. V některých pasážích je text až moc strukturován, což zhoršuje čitelnost.
- 5. Formální úprava technické zprávy** **50 b. (E)**
Po jazykové stránce mám k práci také řadu výhrad. Některé názvy kapitol jsou anglicky, i když je práce česky, pak označení kapitol podle verzí, odkaz na kapitolu s názvem Sekce, atd. V textu jsou nevysvětlené zkratky, některé odstavce mají jenom jednu větu a jeden řádek. U některých odstavců zase přetéká text. Po stránce typografické, ale i jazykové by si práce zasloužila mnohem větší pozornost.
- 6. Práce s literaturou** **70 b. (C)**
Studijní prameny jsou voleny vhodným způsobem. Nelíbí se mi odkazy ve formě poznámek pod čarou. Převzaté prvky jsou řádně odlišeny od výsledků vytvořených studentem.
- 7. Realizační výstup** **100 b. (A)**
Realizačním výstupem je sada komponent, které umožňují akceleraci úloh s využitím technologie FPGA a sady ARM modulů. Vytvořené řešení považuji za zdařilé. Na přiloženém DVD je jak Python implementace, tak vygenerované zdrojové kódy ve VHDL.
- 8. Využitelnost výsledků**
Práce přináší nový způsob hardwarové akcelerace, který je dobře využitelný pro konstrukci vestavěných zařízení s nízkou spotřebou. Analýza síťového provozu farmou výpočetních modulů na bázi ARM je vhodná zejména pro zpracování síťových dat na aplikační (L7) vrstvě. Pozitivně hodnotím jak samotný koncept, tak i implementaci, která využívá techniky HLS - generování komponent z jazyka Python do VHDL.
- 9. Otázky k obhajobě**
 - Využití navrženého systému hardwarové akcelerace pro zákonné odposlechy je popsáno v práci poměrně vágně. Mohl byste způsob využití upřesnit a zmínit hlavní přínosy navrženého systému pro tuto úlohu?
 - Mohl byste stručně popsat princip generování VHDL z jazyka Python který v práci používáte?
- 10. Souhrnné hodnocení** **70 b. dobře (C)**
Práci vnímám jako velmi náročnou. Navržená architektura i vytvořená implementace je kvalitní, výsledek je použitelný. Pozitivně hodnotím i implementaci, která využívá techniky HLS - generování komponent z jazyka Python do VHDL. Bohužel úroveň technické zprávy je velmi nízká a kazí dojem z jinak kvalitní práce. Proto navrhuji hodnocení stupněm C (dobře).

Prohlášení: Uděluji VUT v Brně souhlas ke zveřejnění tohoto posudku v listinné i elektronické formě.

.....

podpis