

Review of Master's Thesis

Student: Vávra Jan, Bc.
Title: Graphical Simulator of Superscalar Processors (id 21991)
Reviewer: Mrázek Vojtěch, Ing., Ph.D., DCSY FIT BUT

- 1. Assignment complexity** **considerably demanding assignment**
Cílem této práce bylo vytvořit simulátor superskalárního procesoru RISC. Zadání hodnotím jako značně obtížné, jelikož vyžadovalo detailní pochopení chování základních jednotek v procesoru a toto chování následně simulovat.
- 2. Completeness of assignment requirements** **assignment fulfilled with enhancements**
Prezentované řešení nejen že splňuje požadavky uvedené v zadání, ale přináší i další rozšíření, která pomáhají uživatelům tohoto nástroje lépe pochopit architekturu a chování superskalárních procesorů. Zejména bych vyzdvihl zpětnou rekonstrukci kroků (kroky "zpět"), konfigurovatelnost ALU jednotek a instrukčních sad.
- 3. Length of technical report** **in usual extent**
Rozsah technické zprávy je v obvyklém rozmezí.
- 4. Presentation level of technical report** **100 p. (A)**
Práce je členěna do sedmi základních kapitol, které na sebe logicky navazují. Autor v technické zprávě poměrně detailně popisuje sedm různých grafických simulátorů procesorů. Na základě této analýzy stanovuje požadavky na výsledný systém. Dále přehledně popisuje principy a klíčové součásti simulátoru. Všechny simulované jednotky jsou popsány na vhodném stupni abstrakce.
- 5. Formal aspects of technical report** **98 p. (A)**
Práce je psaná kvalitní angličtinou a je téměř bez chyb. Z typografického hlediska je také v pořádku.
- 6. Literature usage** **95 p. (A)**
Autor ve své práci odkazuje na relevantní literaturu z oblasti architektur počítačů. Zároveň čerpá z dokumentace jednotlivých volně dostupných procesorů. Převzaté informace jsou v práci náležitě odlišeny.
- 7. Implementation results** **98 p. (A)**
Navržené řešení představuje plně funkční simulátor superskalárního procesoru. Jednoznačně jsou vidět všechny výhody a nevýhody různých jednotek v těchto systémech. Systém je konfigurovatelný, je možné přepínat např. různé metody predikce skoků či velikosti bufferů. V aplikaci jsou efektivně využité techniky OOP, což spolu s kvalitní dokumentací umožňuje tento systém dále rozšiřovat.
Drobný prostor ke zlepšení vidím ve vyřešení distribuce aplikace (bez nutnosti instalace JRE) a importu a exportu nastavení.
- 8. Utilizability of results**
Ačkoliv existuje několik simulátorů RISC procesorů, autor přichází s novým řešením. Velkou výhodou vidím v tom, že simulované chování vychází z reálného procesoru RISC-V BOOM z Berkeley University, takže se jedná o přesnou demonstraci chování moderních procesorů. Věřím, že toto řešení bude oporou v magisterských kurzech na naší fakultě a vzhledem ke kvalitní dokumentaci a technické zprávě jednoznačně doporučuji uvolnit výsledný realizační výstup jako open-source.
- 9. Questions for defence**
 1. Je možné v tomto simulátoru spustit po překladu RISC-V kompilátorem i kód v jazyce C?
 2. Jaké instrukční sady tento simulátor podporuje? Je možné se mezi nimi přepínat?
 3. Co by bylo nutné změnit při přechodu mezi rozdílnými architekturami procesoru (např. RISC-V BOOM v1, v2 a v3)?
- 10. Total assessment** **99 p. excellent (A)**
Tato práce prezentuje kompletní simulátor superskalárního procesoru. Jedná se o komplexní systém, který se zaměřuje na to, aby vše pracovalo přesně tak jako v hardwaru. Navíc je systém konfigurovatelný a případný uživatel může vizuálně odzkoušet různé používané techniky v architekturách výpočetních systémů. Vzhledem ke kvalitě zpracování, přehledné technické zprávě a podstatným rozšířením navrhuji hodnocení stupněm **A - výborně** a doporučuji ocenění této práce.

In Brno 31 May 2021

Mrázek Vojtěch, Ing., Ph.D.
reviewer