

Posudek oponenta diplomové práce

Student: Vavro Tomáš, Bc.
Téma: Periferie procesoru RISC-V (id 23959)
Oponent: Kekely Lukáš, Ing., Ph.D., UPSY FIT VUT

- 1. Náročnost zadání** průměrně obtížné zadání
Dle mého názoru se jedná o průměrně obtížné zadání, které si student sám nijak nerozšířil.
- 2. Splnění požadavků zadání** zadání téměř splněno
Realizační výstup i technické zpráva zadání v podstatě splňují. Očekával bych ale implementaci alespoň dvou periférií (zadání v bodě 3 uvádí množné číslo). Nebo když už se student podrobně zaměřil jenom na jednu periférii (UART), očekával bych doplnění vytvořené implementace alespoň o převodník na vybranou standardní sběrnici (jak je uvedeno také v závěru práce).
- 3. Rozsah technické zprávy** je v obvyklém rozmezí
Rozsah technické zprávy je v obvyklém rozmezí pro diplomovou práci, blíže k jeho spodní hranici.
- 4. Prezentací úroveň předložené práce** 75 b. (C)
Text má dobrou logickou strukturu a myšlenka práce je pro čtenáře zjevná. Ke konci textu působí některé sekce stručným a narychlo dopsaným dojmem (např. popis verifikace a závěr).
- 5. Formální úprava technické zprávy** 70 b. (C)
Práce trpí jen drobnými formálními a jazykovými nedostatky. Jde zejména o nedoladěné rozložení textu na stránky/řádky (např. přetečení jednoho slova na nový řádek v obsahu a popisu obrázků, formátování příloh), občasnou gramatickou chybu, nebo nesprávné/nehodné skloňování slov. Tyto chyby však nemají zásadní vliv na pochopení nebo čitelnost textu a je možné je jednoduše odstranit důkladnější kontrolou textu.
- 6. Práce s literaturou** 70 b. (C)
Student používá samostatně nalezené relevantní zdroje v obvyklém množství. Odkazuje zejména online dostupné zdroje a na fakultě dostupné studijní materiály.
- 7. Realizační výstup** 60 b. (D)
Realizační výstup zahrnuje VHDL implementaci UART modulu pro oba směry komunikace a jeho verifikaci pomocí metodologie UVM. V práci vytvořená implementace obvodu byla validována pomocí vytvořené verifikace. Zdrojové texty práce by mohli být výrazně lépe komentovány, minimálně bych očekával opatření jednotlivých souborů hlavičkou s jménem autora a informací, že soubory jsou součástí díla vytvořeného na FIT VUT.

Od diplomové práce bych očekával trochu rozsáhlejší implementační výstup. Jak jsem již zmínil, podle zadání bych očekával implementaci alespoň dvou sériových periférií, nebo alespoň doplnění implementace UART modulu o převodník na standardní sběrnici jako AXI nebo WishBone.
- 8. Využitelnost výsledků**
V práci je vytvořena implementace UART modulu podle specifikace pro konkrétní realizaci RISC-V procesoru. Vytvořený obvod by tak mělo být možné integrovat s uvedeným procesorem.
- 9. Otázky k obhajobě**
 - V závěru práce tvrdíte, že vaše implementace *"splňuje požadavky ze specifikácie procesoru FU540-C000 a je kompatibilná s jeho linuxovým ovládačem"*. Ověřoval jste pravdivost tohoto tvrzení na reálném procesoru nebo v hardwarové realizaci vaší implementace? Byl alespoň uvedený softwarový ovladač zapojen do verifikace vašeho obvodu jako součást referenčního modelu (např. skrze DPI rozhraní nebo reimplementací jeho částí do SystemVerilogu)?
 - Výsledky syntézy jsou v práci uvedeny jenom pro zastaralý nástroj Xilinx ISE 13.1. (rok vydání 2011) a čip XC3S50 z rodiny Spartan-3 (rok 2013). Byl nějaký důvod pro zvolení těchto neaktuálních verzí? Jaké parametry dosahuje implementace při syntéze na moderních čipech (např. nástroj Xilinx Vivado a čip rodiny UltraScale+ nebo nástroj Intel Quartus a čip rodiny Stratix10/Agilex)?
 - V práci uvádíte několik existujících implementací UART modulu. Jak vypadají výsledky syntézy vaší implementace v porovnání s nimi? Co je zdrojem případných rozdílů ve spotřebovaných zdrojích/frekvenci?
 - Bylo u přijímací strany verifikováno také zotavení (nezaseknutí se) obvodu z chybného příjmu dat? Například příjem dat na nesprávné baudrate, kratší/delší datové slovo, nesprávně nastavena start/stop bit sekvence a podobně.
- 10. Souhrnné hodnocení** 60 b. uspokojivě (D)

Práce svou obtížností, rozsahem, kvalitou textové i realizační části dosahuje běžný průměr diplomových prací. Textová část působí částečně (hlavně v závěru) dojmem sepsání na poslední chvíli. Zadání je však dle mého hodnocení splněno s drobnou výhradou, od diplomové práce bych očekával rozsáhlejší implementační výstup. Z uvedených důvodů navrhuji hodnocení **D**.

Prohlášení: Uděluji VUT v Brně souhlas ke zveřejnění tohoto posudku v listinné i elektronické formě.

V Brně dne: 3. června 2021

Kekely Lukáš, Ing., Ph.D.
oponent