

Posudek oponenta diplomové práce

Student: Polášek Patrik, Bc.
Téma: Demonstrace využití platformy System on Chip Pynq Z2 (id 25166)
Oponent: Mrázek Vojtěch, Ing., Ph.D., UPSY FIT VUT

- 1. Náročnost zadání** **průměrně obtížné zadání**
Cílem této práce je vytvořit výukové materiály, které by podpořily výuku hardwarových předmětů a ukázaly implementaci pokročilých vestavěných systémů na moderním čipu.
- 2. Splnění požadavků zadání** **zadání splněno**
Student implementoval 4 příklady akcelerátorů na úrovni HLS. Pro všechny příklady připravil i výukové materiály a zhodnotil dosažené výsledky. Splnil tedy všechny body zadání.
- 3. Rozsah technické zprávy** **je v obvyklém rozmezí**
- 4. Prezentací úroveň předložené práce** **90 b. (A)**
V práci jsou přehledně představeny všechny potřebné aspekty aplikace. Pro jednotlivé ukázkové příklady je rozebrána základní teorie nutná k pochopení problematiky. Celý text je koncipován jako studijní materiál s ohledem na názornost a jednoduchost pochopení.
- 5. Formální úprava technické zprávy** **85 b. (B)**
Práce je psána spisovnou češtinou, obsahuje však několik překlepů, gramatických i typografických nedostatků. Oceňuji však přehlednost vložených obrázků znázorňující principy navržených algoritmů.
- 6. Práce s literaturou** **80 b. (B)**
Autor ve své práci vychází zejména z dokumentací jednotlivých součástí či používaných jednotek. V některých případech u obrázků, které překreslil a významně upravil (např. 2.4) by bylo vhodné odkazovat zdroj přímo u obrázku, ne jen v textu. Jako zásadnější však vidím to, že v textu není řešeno existujících výukových materiálů (tzv. tutoriálů či programu Xilinx University Program).
- 7. Realizační výstup** **85 b. (B)**
Autor si zvolil pět různých aplikací z reálného světa, z nichž čtyři implementoval. Je škoda, že nebyla implementována i zmíněná klasifikace síťových paketů. Aplikace využívají přístupu high-level syntézy, což sice zlepšuje čitelnost jednotlivých algoritmů, ale na druhou stranu by bylo vhodné jednoduchý příklad (např. sčítačku a nějaké proudové zpracování dat) ukázat i na nižší úrovni RTL (např. v jazyce VHDL či Verilog). Výsledné aplikace však byly vhodně zvoleny, správně vysvětleny a byla úspěšně demonstrována výhoda použití hardwarových akcelerátorů.
- 8. Využitelnost výsledků**
Autor ve své práci vytvořil sadu příkladů, které ukazují výhody hardwarové akcelerace ve vestavěných systémech. Díky přehlednému stylu popisu i implementace aplikací se tato práce může velmi jednoduše stát buď podpůrným či přímo výukovým materiálem pokročilých HW kurzů na FIT VUT.
- 9. Otázky k obhajobě**
 1. V čem je hlavní rozdíl vašich ukázkových příkladů oproti výukovým materiálům výrobce čipu Zynq či projektu Pynq?
 2. Proč nebyla implementována aplikace klasifikace síťových paketů?
- 10. Souhrnné hodnocení** **88 b. velmi dobře (B)**
Student ve své práci představil čtyři zajímavé aplikace pro HLS a čip Xilinx Zynq, na kterých demonstrovuje různé způsoby komunikace mezi programovatelnou logikou a výpočetním systémem. Textová zpráva je psaná tak kvalitně, že rovnou může sloužit jako podpůrný materiál při výuce. Proto navrhuji souhrnné hodnocení **88 bodů - B**.

Prohlášení: Uděluji VUT v Brně souhlas ke zveřejnění tohoto posudku v listinné i elektronické formě.

V Brně dne: 30. května 2022

Mrázek Vojtěch, Ing., Ph.D.
oponent