

Hodnocení vedoucího diplomové práce

Student: Polášek Patrik, Bc.

Téma: Demonstrace využití platformy System on Chip Pynq Z2 (id 25166)

Vedoucí: Kekely Lukáš, Ing., Ph.D., UPSY FIT VUT

1. Informace k zadání

Práce byla zaměřena na návrh a implementaci několik ukázkových aplikací využívajících FPGA programovatelnou logiku na platformě PYNQ-Z2 osazené čipem Zynq. Hlavním cílem bylo přiblížit postup tvorby různých typů akceleratorů na takovéto platformě pro jiné studenty nebo zájemce. Zvoleny proto byly aplikace z navzájem velice různých technických oblastí. Autor práce musel nastudovat a rozebrat nejen samotnou problematiku FPGA akcelerace, ale také specifické znalosti o praktickém zpracování videa, zvuku nebo proudu síťových a textových dat.

Student zadání splnil v plném rozsahu. Vytvořil jednoduchou ukázkou základních principů tvorby akceleratorů a také tři složitější příklady akcelerace realistických aplikací. Nedokončení implementace původně plánované síťové aplikace nehodnotím negativně vzhledem k celkovému rozsahu zadání.

2. Práce s literaturou

Student čerpal z velkého množství literatury jak doporučené, tak z literatury získané vlastní aktivitou.

3. Aktivita během řešení, konzultace, komunikace

Student byl iniciativní v průběhu celého řešení. Práce s hardwarovým kitem ho bavila, takže se jí věnoval hodně intenzivně. Na konzultace byl vždy dobře připraven a řešené problematice rozuměl.

4. Aktivita při dokončování

Práce byla dokončena v dostatečném předstihu. Před závěrečným termínem se vylepšovala už zejména jenom textová část a prezentační podoba implementace. Finální obsah a výsledky celé práce stihly být před odevzdáním několikrát konzultovány.

5. Publikační činnost, ocenění

Použití platformy PYNQ-Z2 se na naší fakultě postupně začleňuje do výuky hardwarových předmětů. Hlavní výstupy diplomové práce v podobě implementací aplikací a jejich interaktivní Jupyter dokumentace tedy chceme použít pro doplnění příkladů využití platformy. Naproti existujícím příkladům se totiž zabývají samotnou tvorbou a zapojením vlastních FPGA akceleratorů, nejen použitím modulů ve výrobce nachystaném firmware.

6. Souhrnné hodnocení

velmi dobře (B)

Student práci věnoval velké množství času a zvládl nastudovat informace z různých oblastí. Implementace vytvořené v práci a jejich dokumentace by mohly být použitelné k doplnění výuky hardwarových kurzů. Navrhují proto celkové hodnocení 85 body a stupněm B.

Prohlášení: Uděluji VUT v Brně souhlas ke zveřejnění tohoto hodnocení v listinné i elektronické formě.

V Brně dne: 30. května 2022

Kekely Lukáš, Ing., Ph.D.
vedoucí práce