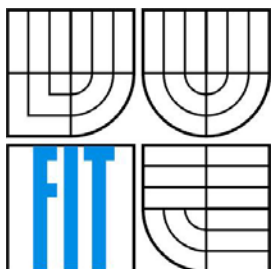




VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

SIMULACE POLYMORFNÍCH OBVODŮ NA ÚROVNI TRANZISTORŮ

TRANSISTOR-LEVEL SIMULATIONS OF POLYMORFIC CIRCUITS

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

JAN KROPÁČEK

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. LUKÁŠ SEKANINA, Ph.D.

BRNO 2007

Vysoké učení technické v Brně - Fakulta informačních technologií

Ústav počítačových systémů

Akademický rok 2006/2007

Zadání bakalářské práce

Řešitel: **Kropáček Jan**

Obor: Informační technologie

Téma: **Simulace polymorfních obvodů na úrovni tranzistorů**

Kategorie: Návrh číslicových systémů

Pokyny:

1. Seznamte se s návrhovým prostředím OrCAD/PSpice.
2. Vytvořte a simulujte modely vybraných standardních i polymorfních obvodů.
3. Vytvořte model rekonfigurovatelného polymorfního obvodu. Simulujte tento obvod pro různé parametry prostředí.
4. Shrňte dosažené výsledky.

Literatura:

- Dle pokynů vedoucího.

Při obhajobě semestrální části projektu je požadováno:

- Bod 1 a 2.

Podrobné závazné pokyny pro vypracování bakalářské práce naleznete na adrese <http://www.fit.vutbr.cz/info/szz/>

Technická zpráva bakalářské práce musí obsahovat formulaci cíle, charakteristiku současného stavu, teoretická a odborná východiska řešených problémů a specifikaci etap (20 až 30% celkového rozsahu technické zprávy).

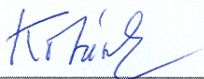
Student odevzdá v jednom výtisku technickou zprávu a v elektronické podobě zdrojový text technické zprávy, úplnou programovou dokumentaci a zdrojové texty programů. Informace v elektronické podobě budou uloženy na standardním paměťovém médiu (disketa, CD-ROM), které bude vloženo do písemné zprávy tak, aby nemohlo dojít k jeho ztrátě při běžné manipulaci.

Vedoucí: **Sekanina Lukáš, doc. Ing., Ph.D., UPSY FIT VUT**

Datum zadání: 1. listopadu 2006

Datum odevzdání: 15. května 2007

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
Fakulta informačních technologií
Ústav počítačových systémů a sítí
612 66 Brno, S.Božetěchova 2



doc. Ing. Zdeněk Kotásek, CSc.
vedoucí ústavu

**LICENČNÍ SMLOUVA
POSKYTOVANÁ K VÝKONU PRÁVA UŽÍT ŠKOLNÍ DÍLO**

uzavřená mezi smluvními stranami

1. Pan

Jméno a příjmení: **Jan Kropáček**
Id studenta: 84294
Bytem: Československé Armády 814, 535 01 Přelouč
Narozen: 11. 04. 1984, Pardubice
(dále jen "autor")

a

2. Vysoké učení technické v Brně

Fakulta informačních technologií
se sídlem Božetěchova 2/1, 612 66 Brno, IČO 00216305
jejímž jménem jedná na základě písemného pověření děkanem fakulty:

.....
(dále jen "nabyvatel")

**Článek 1
Specifikace školního díla**

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):
bakalářská práce

Název VŠKP: Simulace polymorfních obvodů na úrovni tranzistorů
Vedoucí/školitel VŠKP: Sekanina Lukáš, doc. Ing., Ph.D.
Ústav: Ústav počítačových systémů
Datum obhajoby VŠKP:

VŠKP odevzdal autor nabyvateli v:

tištěné formě počet exemplářů: 1
elektronické formě počet exemplářů: 2 (1 ve skladu dokumentů, 1 na CD)

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činností dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracovávání díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.
3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.
4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

Článek 2 Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užít, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizování výpisů, opisů a rozmnoženin.
2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.
3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti:
 - ihned po uzavření této smlouvy
 - 1 rok po uzavření této smlouvy
 - 3 roky po uzavření této smlouvy
 - 5 let po uzavření této smlouvy
 - 10 let po uzavření této smlouvy(z důvodu utajení v něm obsažených informací)
4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3 Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.
2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.
3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísní a za nápadně nevýhodných podmínek.
4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne:

.....
Nabyvatel


.....
Autor

Abstrakt

Tato práce se zabývá problematikou polymorfních obvodů, jejich simulací a zhodnocením dosažených výsledků. Je zde popsána technologie unipolárních tranzistorů spolu s jednoduchým a názorným návodem pro modelování obvodů v programu OrCAD PSpice. Na závěr jsou uvedeny výsledky simulací pro základní typy hradel.

Klíčová slova

Polymorfní obvod, unipolární tranzistor, OrCAD PSpice, simulace

Abstract

This Bachelor's thesis deals with polymorphic circuits their simulations and evaluations. It describes them unipolar transistors technology and a tool for modeling and simulations of electronic circuits – OrCAD PSpice. Finally, the thesis presents results of polymorphic circuits simulations in different conditions.

Keywords

Polymorphic circuit, unipolar transistors, OrCAD PSpice, simulation

Citace

Jan Kropáček: Simulace polymorfních obvodů na úrovni tranzistorů, bakalářská práce, Brno, FIT VUT v Brně, 2007

Simulace polymorfních obvodů na úrovni tranzistorů

Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně pod vedením doc. Ing. Lukáše Sekaniny, Ph.D.. Další informace mi poskytl Ing. Lukáš Stareček.

Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

.....
Jan Kropáček
15. května 2007

Poděkování

Děkuji tímto vedoucímu své bakalářské práce, panu doc. Ing. Lukášovi Sekaninovi, Ph.D., za vedení, cenné rady a podnětné připomínky při tvorbě této práce.

© Jan Kropáček, 2007.

Tato práce vznikla jako školní dílo na Vysokém učení technickém v Brně, Fakultě informačních technologií. Práce je chráněna autorským zákonem a její užití bez udělení oprávnění autorem je nezákonné, s výjimkou zákonem definovaných případů.

Obsah

Obsah	1
1 Úvod.....	3
2 Unipolární tranzistory	5
2.1 Unipolární tranzistory	5
2.2 Technologie PMOS a NMOS.....	6
2.3 Technologie HMOS	7
2.4 Technologie CMOS.....	8
2.5 Technologie SOI a SOS	10
2.6 Technologie FAMOS a FLOTOX.....	10
2.7 Technologie CCD.....	11
3 Simulace obvodů pomocí PSpice.....	12
3.1 Úvod do programu PSpice	12
3.2 Editor Capture	13
3.2.1 Práce s projekty.....	14
3.2.2 Kreslení schémat.....	15
3.2.3 Zásady pro kreslení schémat.....	17
3.2.4 Markry	17
3.3 Simulace v PSpice.....	18
3.3.1 Spuštění simulace a hledání případných chyb	18
3.3.2 Netlist.....	18
3.3.3 Nastavení simulace	19
3.4 Zobrazení výsledků	22
3.4.1 Textový soubor <i>.out</i>	22
3.4.2 Postprocesor <i>Probe</i>	22
4 Simulace některých obvodů	24
4.1 Hradlo NOT.....	24
4.2 Hradlo NAND	25
4.3 Hradlo NOR	26
4.4 Hradlo XOR	27
4.5 Zjištěné vlastnosti běžných hradel	29
5 Polymorfní hradla	30
5.1 Hradla řízená externím napětím	31
5.1.1 Hradlo NAND/NOR	31
5.1.2 Hradlo NOR/NAND	32

5.1.3	Hradlo NAND/XOR	32
5.1.4	Zjištěné vlastnosti polymorfních hradel řízených externím napětím	33
5.2	Hradla řízená Vdd	34
5.2.1	Hradlo NAND/NOR řízené Vdd.....	34
5.2.2	Hradlo AND/OR řízené Vdd	35
5.2.3	Zjištěné vlastnosti polymorfního hradel řízených Vdd.....	35
6	REPOMO	36
7	Závěr	39
	Literatura	40
	Seznam příloh	42

1 Úvod

Na číslicové elektronické obvody a systémy jsou kladeny stále větší požadavky a rozšiřují se jejich funkce. Toto vede ke značné složitosti těchto obvodů. Kvůli této vlastnosti se zavedlo uspořádání do bloků, které mají předem definovanou funkci a dají se použít opakovaně. V číslicových obvodech se tyto bloky nazývají hradla, která plní logické funkce popsané formálními modely jako např. Booleovou algebrou. Logická hradla se dále využívají k tvorbě složitějších obvodů (sčítačky, násobičky ...) a ty k tvorbě komplexních obvodů (procesor, paměť ...), ze kterých se vytváří výsledný systém (počítač, řídicí jednotky ...). Obecně prvek na jisté úrovni hierarchie využívá z prvku na úrovni nižší pouze jeho vstupy a výstupy, přičemž vnitřní implementace je skryta. Například navrhujeme-li obvod na úrovni hradel, pak se nezabýváme vnitřní implementací použitých hradel. Pouze využíváme jejich vstupy a výstupy.

Hierarchický přístup s univerzálními znovupoužitelnými bloky přináší zjednodušení. Snadněji lze obvody pochopit, popsat a usnadňuje návrh obvodu. Nevýhodou hierarchického přístupu je však neoptimálnost co se týče počtu potřebných prvků na nižších úrovních. Implementujeme-li třeba hradlo *XOR* (exkluzivní disjunkce) pomocí hradel *NOT*, *AND* a *OR* jedná se o 16 tranzistorů, oproti 10 tranzistorům při implementaci na úrovni tranzistorů. To je dáno tím, že bloky v obvodu nevyužívají jiných bloků (nebo jejich částí) užitých v tomtéž obvodu na stejné úrovni v hierarchii, i když by to bylo možné.

Abychom optimalizovali cenu, výkonnost, spotřebu a další podobné parametry, stále se rozvíjejí nové techniky a přístupy. Jednou z nejnovějších technologií je tzv. polymorfni elektronika, která by mohla v budoucích zařízeních umožnit redukci počtu komponent obvodu, detekovat abnormální stavy, případně umožnit specifické chování obvodu. Tato práce se věnuje simulaci jednoho obvodu s využitím polymorfni technologie.

Obsah kapitol je následující. Kapitola druhá uvádí čtenáře do problematiky unipolárních tranzistorů. Jsou zde vysvětleny základní rozdíly mezi jednotlivými technologiemi. Zvláště pak se zaměřením na technologii *MOS* (Metal Oxide Semiconductor). Tato technologie, je totiž stěžejní pro návrh současných hradel. Tato část vychází z [1].

Kapitola třetí představuje návod, jak se simulují obvody pomocí programu OrCAD PSpice. Jsou zde podrobně vysvětleny ty nezákladnější principy práce s tímto programem, jako kresba schémat, příprava simulačního profilu a následná simulace. Tato část vychází z [6-8].

Kapitola čtvrtá ukazuje výsledky některých simulací prováděných na různých hradlech a přibližuje tím funkci zkoumaného hradla.

Kapitola pátá představuje úvod do problematiky polymorfni obvodů. Je zde rozvedeno polymorfni hradlo *NAND/NOR*, které je využíváno v další kapitole. Tato část vychází z [2-5,10-11].

Kapitola šestá se věnuje rekonfigurovatelnému polymorfnímu obvodu *REPOMO*.
Je zde ukázán princip funkce a jeho další možné využití. Tato část vychází z [9].

V poslední sedmé kapitole jsou zhodnoceny mnou dosažené výsledky provedených simulací.

2 Unipolární tranzistory

S unipolárními technologiemi je spojen celý dosavadní bouřlivý vývoj osobních počítačů. Jedině díky velmi vysoké integraci dosahované pomocí těchto technologií je možné vyrábět dnešní personální počítače. U těchto technologií se přenosu náboje účastní (narozdíl od bipolárních technologií) pouze jeden druh nosičů náboje, a to buď elektrony nebo díry.

V této kapitole si povíme několik základních věcí o těchto technologiích, které jsou základem moderní výpočetní techniky.

2.1 Unipolární tranzistory

Dříve než přistoupíme k popisu jednotlivých unipolárních technologií, nastíníme rozdělení unipolárních tranzistorů podle principu jejich funkčnosti.

Unipolární tranzistor je známější pod názvem *tranzistor řízený polem* (Field Effect Transistor), krátce označený *FET*. Jeho princip je založen na myšlence, že hloubka vniku elektrického pole do látky je úměrná převrácené hodnotě konduktivity γ , tj. čím menší je konduktivita látky, tím lépe do ní může elektrické pole vniknout. Izolanty jsou však nevhodné, protože jimi neprochází elektrický proud. Dotujeme-li však polovodičový materiál ne příliš vysoko, tj. γ zůstává poměrně malá, prochází sice malý proud, ale elektrické pole může příznivě vnikat do látky, a tím i tento proud ovlivňovat.

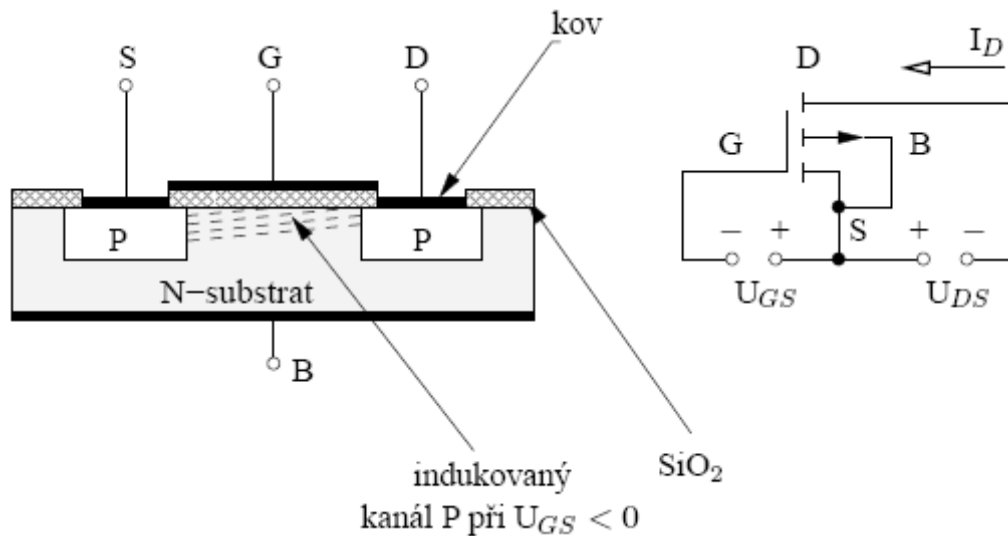
Podle toho jak je tato proudová dráha, obecně nazývaná kanál, dotována, hovoříme o *tranzistoru řízeném polem s kanálem N nebo P*. Technicky jsou dvě možnosti, jak nechat působit elektrické pole na proudový kanál, a to buď přes závěrnou vrstvu přechodu nebo přes zvláštní izolační vrstvu. Pak existuje FET s přechodovým hradlem označovaný také *JFET* (Junction FET) nebo na druhé straně FET s izolovaným hradlem označovaný *IGFET* (Insulated Gate FET), který se ještě rozděluje na ochuzovací a obohacovací režim [1].

FET má obecně tři elektrody, které jsou označovány S (Source) – emitor, D (Drain) – kolektor a G (Gate) – hradlo. Podle toho, která elektroda se používá společně pro vstup a výstup, mluvíme o zapojení se společným emitorem, kolektorem a hradlem. Nejobvyklejším je zapojení se společným emitorem.

Pro řídicí techniku je v současnosti nejdůležitějším tranzistor typu IGFET s izolační vrstvou tvořenou vrstvou oxidu označovaný jako *MOSFET* (Metal Oxide Semiconductor FET) a pro číslicové obvody se používá obohacovací režim, proto se v dalším textu zaměříme na něj [1].

MOSFET s obohacováním kanálu

Struktura tranzistoru MOSFET s obohacováním kanálu P a jeho schématické znázornění je na obrázku 2.1.



Obr. 2.1: Struktura tranzistoru MOS s obohacováním kanálu P

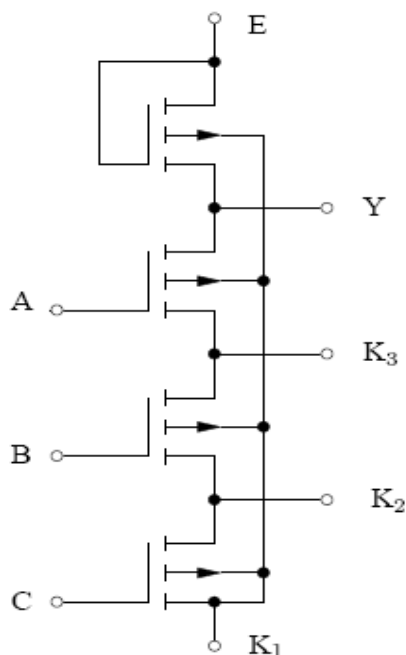
Princip činnosti spočívá ve vytváření a rozšiřování vodivého kanálu mezi emitorem S a kolektorem D vlivem příčného elektrického pole vyvolaného přivedením napětí na hradlo G. Tento typ MOSFETu, ať už s kanálem P nebo N, díky vysokému výstupnímu odporu, malé spotřebě, značné odolnosti proti rušivým signálům a výborným spínacím vlastnostem, hraje primární úlohu v technice číslicových integrovaných obvodů [1].

Činnost obohacovacího typu MOSFETu s kanálem N je analogická s tím, že polarity proudů a napětí budou opačné (kladné) a šipka ve schématické značce bude mít opačný směr.

2.2 Technologie PMOS a NMOS

U obvodů PMOS (Positive Metal Oxid Semiconductor) je základním prvkem unipolární tranzistor MOS s kanálem typu P. Na obrázku 3.2 je univerzální logický člen, provedený technikou MOS s kanálem P. Spojíme-li svorku K₁ se zemí, jsou tři tranzistory zapojeny v sérii, takže na výstupu Y bude hodnota logická „0“ jen tehdy, jestliže všechny tři tranzistory budou vybudeny, tj. vznikl logický člen NAND.

Spojíme-li svorku K₂ s Y a svorky K₁ a K₃ se zemí, zapojíme tři tranzistory paralelně. Na výstupu Y bude logická hodnota „0“, jestliže bude vybuden alespoň jeden ze tří tranzistorů, tj. vznikl logický člen NOR.



Obr. 3.2: Univerzální logický člen PMOS

Díky tomu, že jsou tranzistory řízeny elektrickým polem a nikoliv elektrickým proudem jako u technologie TTL, jsou u nich značně redukovány nároky na spotřebu elektrické energie. Avšak vzhledem k nízkým rychlostem spínání a špatné slučitelnosti s TTL obvody (napájecí napětí jsou záporná -10 V a -30 V a pracuje se tedy se zápornou logikou) se tato technologie téměř nepoužívá [1]. Její použití je typické jen u první generace mikroprocesorů a jejich pamětí.

Obvody *NMOS* (Negative Metal Oxid Semiconductor) jsou analogií obvodů PMOS, avšak jejich základním prvkem je unipolární tranzistor MOS s kanálem typu N, který je díky pohyblivějším nosičům náboje v principu asi třikrát rychlejší než tranzistor MOS s kanálem typu P [1].

Zvětšování integrace a s tím spojené zmenšování rozměrů, parazitních kapacit a vzdáleností velmi brzy vedlo ke zvyšování rychlosti obvodů a to mnohonásobně ve srovnání s existujícími obvody PMOS. Uvážíme-li navíc snadnou slučitelnost s obvody TTL a jediné napájecí napětí (+5 V), je jasné, proč je technologie NMOS dnes základní a výchozí i pro mnohé další výrobní postupy. Tato technologie byla použita pro výrobu mikroprocesorů 2. a 3. generace a pro výrobu velkokapacitních RWM a ROM.

2.3 Technologie HMOS

Technologie HMOS je založena na skutečnosti, že součin zpoždění a ztrátového výkonu (který obecně charakterizuje integrovaný obvod) je přibližně úměrný třetí mocnině rozměru základní struktury. To znamená, že při zachování ztrátového výkonu lze zmenšením struktury o 50%

dosáhnout osminásobného zrychlení činnosti nebo při stejné rychlosti se může osmkrát zmenšit energetický rozptyl. Typické zpoždění členu je pak 1 ns.

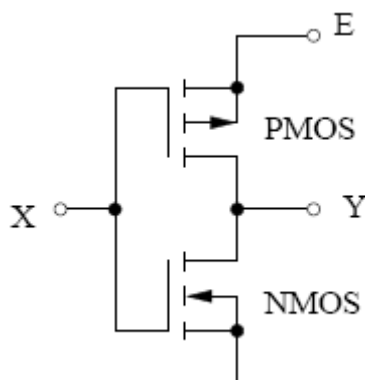
Při zvyšování rychlosti má však zmenšování rozměrů hradla i vedlejší nepříznivé efekty, jako zvyšování intenzity elektrického pole při stejném napájecím napětí, pronikání elektronů do řídicí elektrody, podpovrchové průrazy atd., které snižují spolehlivost výrobků.

Některé z těchto potíží by bylo možné potlačit snížením napájecího napětí ze standardních 5 V na asi 3 V. To je však nežádoucí, a u zdokonalených technologií *HMOSII* a *HMOSIII* se používá jiné řešení. U technologie *HMOSII* se tak zpoždění logického členu redukuje na 0,4 ns a u *HMOSIII* až na 0,2 ns [1].

Technologie *HMOS* i její vylepšené varianty se uplatňují při výrobě monolitických mikroprocesorů s desítkami tisíc až půl milionem tranzistorů na čipu (mikroprocesory 3. generace) a také pro výrobu moderních pamětí *RWM-RAM*.

2.4 Technologie CMOS

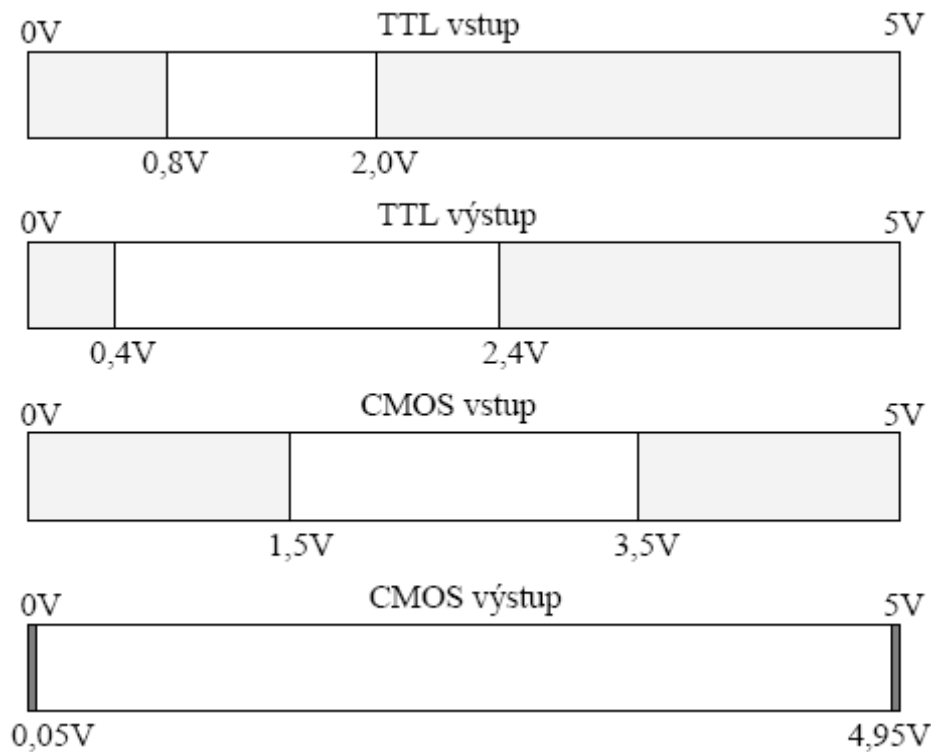
CMOS (Complementary MOS) je technologie, která vychází z použití obou tranzistorů *NMOS* i *PMOS*. Oba druhy tranzistorů MOS jsou v obohacovacím režimu a střídají se ve funkci řízeného zatěžovacího rezistoru MOS a spínacího tranzistoru.



Obr. 2.3: Zapojení invertoru technologie CMOS

Funkce invertoru je patrná z obrázku 2.3. Při signálu logické „1“ na vstupu X (kladná logika) je vodivý tranzistor *NMOS* zapnutý a tranzistor *PMOS* vypnutý. Na výstupu Y je logická „0“. Při úrovni logické „0“ na vstupu X je tranzistor *PMOS* zapnutý (vodivý) a tranzistor *NMOS* je vypnutý. Na výstupu Y je úroveň logické „1“.

Tranzistory tedy fungují jako spínače, které přepínají výstup na napájecí napětí E nebo k zemi. Takže pokud nezatěžujeme výstup takového obvodu, je jeho spotřeba v klidovém stavu téměř nulová. Výstup obvodu má relativně malou impedanci v obou stavech (řádově stovky ohmů). Obvody *CMOS* mohou mít napájecí napětí v rozmezí 3 až 16 V. Jednotlivé napěťové úrovně jsou zachyceny na obrázku 2.4 [1].



Obr. 2.4: Napěťové úrovně CMOS ve srovnání s TTL

Díky extrémně nízkému příkonu, dobré šumové imunitě (45% napájecího napětí), slučitelnosti s obvody TTL, širokému rozmezí napájecího napětí, velkému rozsahu pracovních teplot a velkému logickému zisku, došlo k obrovskému rozšíření obvodů CMOS a k jejich převládnutí na trhu. Tato technologie je dosud nejpoužívanější technologií ze všech. Srovnání probraných technologií spolu s technologií CMOS je uvedeno v tabulce 2.1.

pozice	rychlost	hustota integrace	příkon
1	ECL(velká)	I^2L (vysoká)	I^2L (nízký)
2	TTL	HMOS	CMOS
3	HMOS	NMOS	NMOS
4	NMOS	CMOS	HMOS
5	I^2L	TTL	TTL
6	CMOS (nízká)	ECL (nízká)	ECL (vysoký)

Tab. 2.1: Porovnání vlastností bipolárních a unipolárních technologií

Tyto obvody se používají pro výrobu monolitických mikroprocesorů, pamětí a dalších prvků obvodů LSI, VLSI a ULSI, ale také pro výrobu logických členů obvodů SSI a MSI.

2.5 Technologie SOI a SOS

SOS (Silicon On Sapphire) je označení celé skupiny technologií, které vycházejí z toho, že základem čipu je destička syntetického safíru. Hlavní předností safírové podložky je zmenšení parazitních kapacit až třikrát, a tím potlačení parazitních vazeb i dosažení vysokých spínacích rychlostí srovnatelných s parametry bipolárních obvodů a hustotou až čtyřikrát větší než u obvyklé technologie CMOS.

I když mikroprocesory a paměti RWM vyvinuté např. u firmy Hewlett-Packard technologií SOS mají vynikající vlastnosti, brání jejich rozšíření vysoká cena safíru. Ta je totiž asi pětkrát vyšší než cena křemíku, a proto se začala vyvíjet nová technologie SOI (Silicon On Insulator). U této technologii je izolantem křemíková destička pokrytá oxidem křemičitým (SiO_2), na němž se vytvoří ostrůvky polovodičových struktur, které jsou od sebe dokonale izolovány. Protože oxid křemičitý je dobrý izolant a jeho výroba je poměrně jednoduchá (zahříváním křemíku v oxidační atmosféře), je tato technologie také nepoměrně levnější než SOS [1].

2.6 Technologie FAMOS a FLOTOX

Technika plovoucího hradla (gate) s lavinovou injekcí nosičů - FAMOS (Floating-gate Avalanche-injection MOS), která vznikla u firmy Intel, je nejrozšířenější technologií pro výrobu elektricky programovatelných pamětí EPROM.

Základem paměťové buňky je tranzistor MOS s řídicí elektrodou (hradlem z polykrystalického křemíku), která není k ničemu připojena, neboť je ze všech stran izolována oxidem křemičitým.

Nejčastěji se při mazání informace z paměti působí na čip ultrafialovým ionizujícím zářením o vlnové délce kolem $253 \mu\text{m}$. Elektrony v ozářené řídicí elektrodě absorbují fotony záření a získávají dostatečnou energii k překonání bariéry v opačném směru. Potenciály hradla a emitoru se tak vyrovnávají, zruší (vymaže) se obsah paměti FAMOS a tranzistor FAMOS se uvede do původního vypnutého (nevodivého) stavu. Poté je paměť připravena k opětovnému programování.

Při každém mazání informace ozářením dochází k mírné degradaci parametrů paměťové buňky FAMOS. Pokud však je mazání šetrné (např. studeným ultrafialovým zářením), nevybočí parametry paměti EPROM z tolerancí ani po několika desítkách cyklů mazání – programování.

Paměťová polovodičová struktura FLOTOX (FLOating-gate Tunnel OXide cell), která je modifikací technologie FAMOS, se používá pro tvorbu paměťových buněk mikroelektronicky vymazatelných a programovatelných pevných pamětí EEPROM (Electrically Erasable and Programmable ROM) [1].

Při dalším rozvoji této technologie se uplatňují stejné myšlenky zjemňování struktury čipů, jako u přechodu od klasické technologie NMOS k technologii HMOS. Výsledkem je technologie HMOS-E pro výrobu pamětí EPROM a EEPROM firmy Intel.

2.7 Technologie CCD

Pro součástky vyrobené technologií CCD (Charge Coupled Devices) není typická zesilovací činnost základních obvodových členů, nýbrž přenos náboje na parazitních kapacitách soustavou elektrod vytvořených na strukturách MOS [1].

Na tomto principu se vytvářejí posuvné registry, sekvenční paměti z nich vyrobené nejsou energeticky nezávislé, proto se v mikropočítačové technice neuplatňují. Součástky CCD mají rozsáhlejší použití v analogové technice jako paměti ve snímačích obrazu pro televizi a v monolitických plochých displejích, kde jsou zviditelněny jejich výhody, jako malá spotřeba energie a malé rozměry.

3 Simulace obvodů pomocí PSpice

Pro simulace obvodů byly využity programy *OrCAD PSpice*. Pro každý prvek v simulovaném obvodě existuje matematický model chování, který je použit při výpočtech. Pro jeden druh prvku může existovat několik modelů lišících se přesností, složitostí, vhodností pro jisté účely atp.

V této kapitole si proto povíme něco o tom, jak zacházet s programem *PSpice* respektive *OrCAD* pro simulaci zadaných obvodů. Tato část vychází z [6-8].

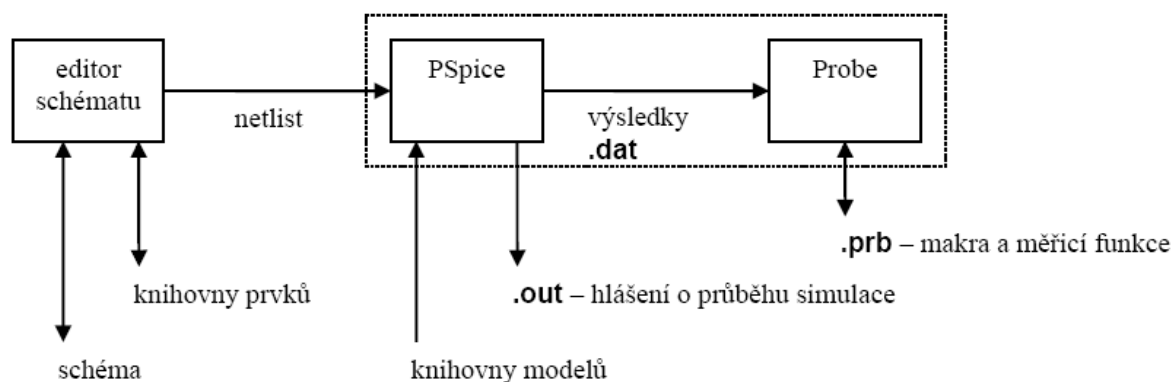
3.1 Úvod do programu PSpice

Jeden z nejspěšnějších programů pro simulaci na PC - *PSpice* byl představen v roce 1984. Program byl původně určen pro operační systém DOS, od verze 5.4 pracuje pod MS Windows. *PSpice* nyní pokrývá celou oblast simulací elektronických obvodů, tj. obvody analogové, digitální i smíšené (mixed - mode) [8].

PSpice je tvořen několika samostatnými programy, které tvoří kompaktní celek. Od verze 9 je program dodáván s novým editorem *Capture* vyvinutým firmou Cadence pod označením *OrCAD*.

Editor schémat umožňuje vytvořit jak samostatně použitelné schéma, tak zejména připravit popis obvodu v jazyku Spice, tzv. *netlist*, pro následnou analýzu. Dovoluje vytvářet hierarchicky strukturované obvodové bloky a opakovaně je používat. Dodávány jsou knihovny pro více jak 10000 analogových a číslicových prvků. Pro zjednodušení práce s kompletním systémem je integrován přechod do ostatních modulů jako: vyvolání editací modelů prvků, dialogový výběr typu analýzy a spuštění simulace. Tento modul tedy představuje výchozí ovládací článek pro celý systém. Součástí základního balíku programů pro simulaci obvodů jsou [7]:

- **PSpice** - modul pro simulaci smíšených (mixed - mode) obvodů, který dal jméno celému systému. Jeho základem byl program SPICE2 vyvinutý na univerzitě v Berkeley. Simulátor je od verze 9 integrován s postprocesorem *Probe* pro kompletní grafické vyhodnocení výsledků.
- **Model Editor** - program pro vytváření modelů součástek z naměřených nebo katalogových údajů. Výstupem jsou knihovny modelů.
- **Stimulus Editor** - program pro grafické vytváření analogových a číslicových zdrojů se složitějším časovým průběhem.
- **Optimizer** - modul pro optimalizaci obvodů. Pracuje v interaktivním nebo automatickém režimu.
- **Advanced Analysis** - modul nové generace pro provádění citlivostní, toleranční a zátěžové analýzy a optimalizace.



Obr. 3.1: Průběh simulace z hlediska výměny dat mezi moduly

Editor schémat slouží k vypracování schémata dané simulace. Definují se zde jednotlivé součástky, jejich parametry, vstupní signály a nastavení podmínek simulace. Schéma je složeno příslušným propojením jednotlivých součástek. Součástky jsou se svými základními parametry uloženy v knihovnách. Každá součástka je ve schématu představována svojí značkou, která je také uložena v knihovně. Po spuštění simulace se provede kontrola daného schémata. Pokud je ve schématu chyba (nezapojený vývod součástky, či chybí některá z potřebných hodnot) program toto zobrazí a zvýrazní chybu. Pokud kontrola proběhne v pořádku je vygenerován *netlist*. Jedná se o textový soubor v jazyce PSpice (Spice). Zde jsou uloženy veškeré informace pro simulační program PSpice. Soubor neobsahuje modely jednotlivých součástek, ale jen informace kde jsou tyto modely uloženy, zadané hodnoty a vzájemné propojení součástek.

Poté simulátor načte popis obvodu (*netlist*) a připojí k němu modely jednotlivých součástek, které jsou uloženy ve speciálních knihovnách – textových souborech s příponou *.lib*. Při simulaci se generují dva výstupní soubory. Textový soubor *<jméno>.lib* obsahuje hlášení o průběhu simulace, chybách a výsledcích analýz. Binární soubor *<jméno>.dat* slouží k ukládání výsledků pro grafické zobrazení. Grafické zobrazení je prováděno pomocí grafického postprocesoru Probe. Grafický postprocesor Probe se spouští automaticky po ukončení simulace, graficky zobrazí výsledky simulace. Pokud při vyhodnocování grafů používáme makra a měřicí funkce, pak jsou informace o tom uloženy v souborech s příponou *.prb*. Simulátor i postprocesor je možné spustit samozřejmě i ručně a příslušné soubory otevřít standardní volbou **File/Open** [7].

3.2 Editor Capture

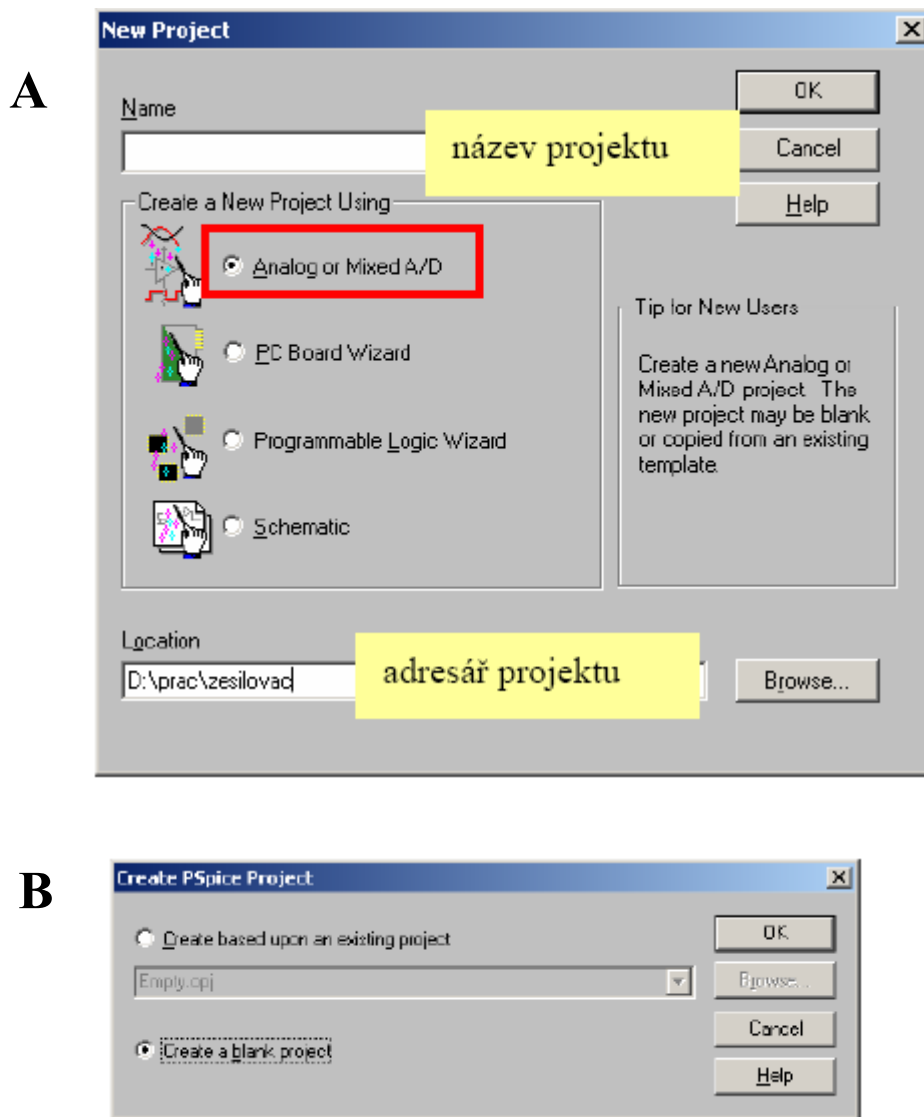
V této podkapitole si vysvětlíme, jak se provádí návrh a kreslení simulovaných schémat pomocí programu *Capture*.

U editoru *Capture* závisí nabídka hlavní lišty na aktuálně otevřených oknech pracovní plochy.

V dalším textu budou popsány jen položky, které se bezprostředně dotýkají práce se simulátorem *PSpice*. Další možnosti (vytváření plošných spojů, syntéza číslicových obvodů) nalezne čtenář v elektronické referenční příručce [7], která je standardní součástí instalace.

3.2.1 Práce s projekty

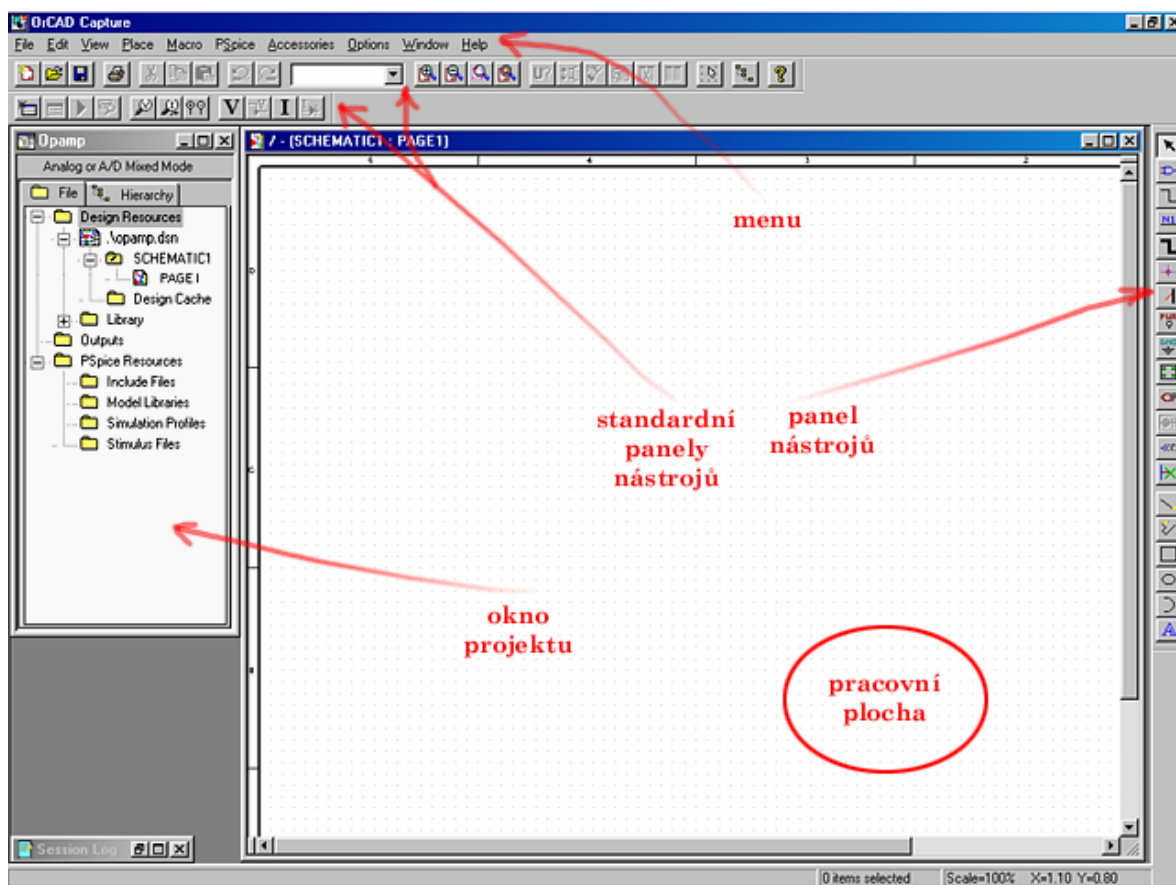
Nejjednodušším způsobem jak začít kreslit schéma je založit nový projekt. Nový projekt vytvoříme volbou **File/New/Project**. Otevře se dialogové okno s parametry nového projektu.




Obr. 3.2 a,b: Vytvoření nového projektu

V tomto okně (obr. 3.2a) zadáme do pole *Name* název projektu a do pole *Location* uvedeme, kam chceme projekt uložit. Výchozí hodnota je zde adresář, který jsme pro tento účel vytvořili při instalaci. Jako typ zvolíme *Analog or Mixed A/D*. Po potvrzení tlačítkem **OK** se objeví okno (obr. 3.2b), kde zvolíme možnost *Create a blank project* a znovu potvrdíme stiskem tlačítka **OK**. Po potvrzení se objeví okno správce projektu (obr. 3.3) [6].

3.2.2 Kreslení schémat



Obr. 3.3: Pracovní plocha

Nyní máme před sebou pracovní plochu, panel nástrojů (vpravo), standardní panely nástrojů (vodorovně nahoře), textové menu a okno projektu s hierarchickým uspořádáním jednotlivých komponent (obr. 3.3). Je-li pracovní plocha maximalizována, okno projektu se zobrazí pomocí tlačítka  nebo naopak pracovní plocha dvojklikem LT na název **PAGE 1** v okně projektu. Komponenty je možné si prohlédnout rozbalením příslušné položky – kliknutím levým tlačítkem myši na symbol „+“. Na svislém panelu nástrojů se nacházejí tlačítka pro vytvoření jednotlivých částí elektrického obvodu:



režim výběru součástky nebo jiné části obvodu (**Select**)



vložení součástky z knihovny (**Place part**)



režim spojování součástek vodivou cestou (**Place wire**)



pojmenování vodivé cesty (**Net alias**)

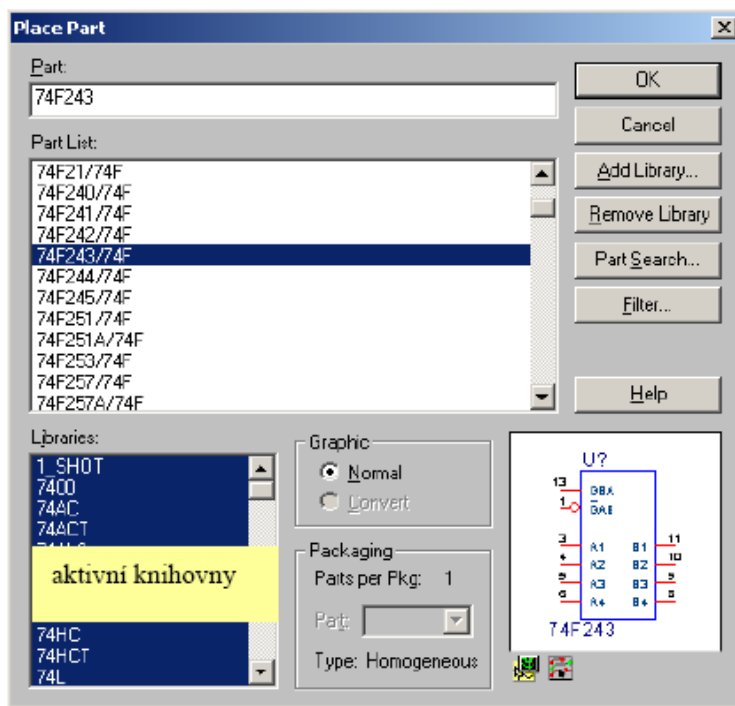


vložení symbolu napájení (**Power**)





vložení symbolu uzemnění (**Ground**)

Ostatních nástrojů nebude zatím potřeba. Jejich význam se zobrazí při přesunutí ukazatele myši nad tlačítko (malá nápověda).



Obr. 3.4: Vložení součástek

Nejprve se připraví na pracovní plochu všechny potřebné součástky. Po stisku  se zobrazí následující dialogové okno (obr. 3.4), kde je možno přidat nebo odebrat knihovny součástek, jenž mají obvykle název podle výrobce nebo podle typu obsažených součástek. Ty obsahují schématické značky jednotlivých součástek a odkaz na použitý model, což je soubor matematických rovnic popisujících elektrické chování. Pokud potřebujeme přidat novou knihovnu, pak ji přidáme pomocí tlačítka **Add Library**, popřípadě můžeme přebytečné knihovny odstranit pomocí tlačítka **Remove**. Po přidání potřebných knihoven začneme na stránku pokládat potřebné součástky. Nejprve zvolíme v okně *Library* knihovnu, v které je daná součástka uložena a poté ji vybereme v okně *Part List* [6]. Následovně umístíme vybranou součástku na pracovní plochu. Zde můžeme pomocí kliknutí na pravé tlačítko myši součástku dále otáčet a zrcadlit. Chceme-li vložit značku pro uzemnění či napájení, učiníme tak specializovanými tlačítky popsány výše.


Nezbývá již, než propojit vývody součástek pomocí tlačítka  do požadovaného schéma. Nesmíme zapomenout na zapojení zdrojů napětí a signálů. Poté zadáme k jednotlivým součástkám potřebné hodnoty. Dvojitým poklepnutím levého tlačítka na součástku se otevře okno pro zadání parametrů. Pokud je parametr viditelný ve schématu, lze jeho hodnotu měnit přímo dvojitým poklepnutím levého tlačítka. Pro zadání číselných hodnot je možné použít přípony (velikost písmen nerozhoduje). Příklad: 2k, 1.1u [7].

Zkratka	F	P	N	U	M	K	MEG	G	T
Hodnota	10^{-15}	10^{-12}	10^{-9}	10^{-6}	10^{-3}	10^3	10^6	10^9	10^{12}
Předpona	fento-	Piko-	nano-	mikro-	mili-	kilo-	mega-	giga-	tera-

Tab. 3.1: Seznam používaných zkratk

3.2.3 Zásady pro kreslení schémat

Zde si povíme o některých zásadách pro kreslení elektrických schémat v Capture [6].

- Všechny zdroje (napájecí i budící) se musí definovat ve schématu, jako by se jednalo o skutečné zapojení pro měření v laboratoři.
- PSpice požaduje, aby každý uzel měl definovanou stejnosměrnou cestu k referenčnímu uzlu „0“. Z toho vyplývá, že alespoň jeden uzel obvodu musí být referenční, definovaný značkou  (důležité je jméno „0“).
- Volně ponechaný vývod součástky způsobí obvykle chybu.
- Častou příčinou chyb je několik součástek umístěných nad sebou tak, že se překrývají.
- Významné uzly obvodu (vstup, výstupy, ...) bychom měli pojmenovat. V postprocesoru pak máme k dispozici napětí uzlu jako proměnnou v (*jméno uzlu*).

Součástí pracovní plochy je okno *Session Log*, kde lze hledat různá chybová hlášení při vytváření *netlistu*. Lze je zobrazit např. **Window/Session Log**.

3.2.4 Markry

Markry jsou speciální součástky, které způsobují, že postprocesor Probe rozpozna která veličina a na kterém místě se má zobrazit po skončení simulace. Při manipulaci s markry není třeba vždy znovu spouštět simulaci. Markry se nacházejí v položce **Pspice/Markers** hlavního menu [6].


Typy markrů:

- **Voltage Level** - zobrazení napětí proti referenčnímu uzlu (**AGND** nebo **EGND**).
- **Voltage Differential** - dvojice markrů (+ a -) pro určení napětí mezi uzly.
- **Current Into Pin** - měření proudu vývodem součástky.
- **Power Dissipation** – výkon ztracený v daném prvku.
- **Mark Advanced** - speciální markry převážně pro analýzu AC.

3.3 Simulace v PSpice

V této podkapitole si povíme něco o možnostech simulace v PSpice a nastavení simulačního profilu.

3.3.1 Spuštění simulace a hledání případných chyb

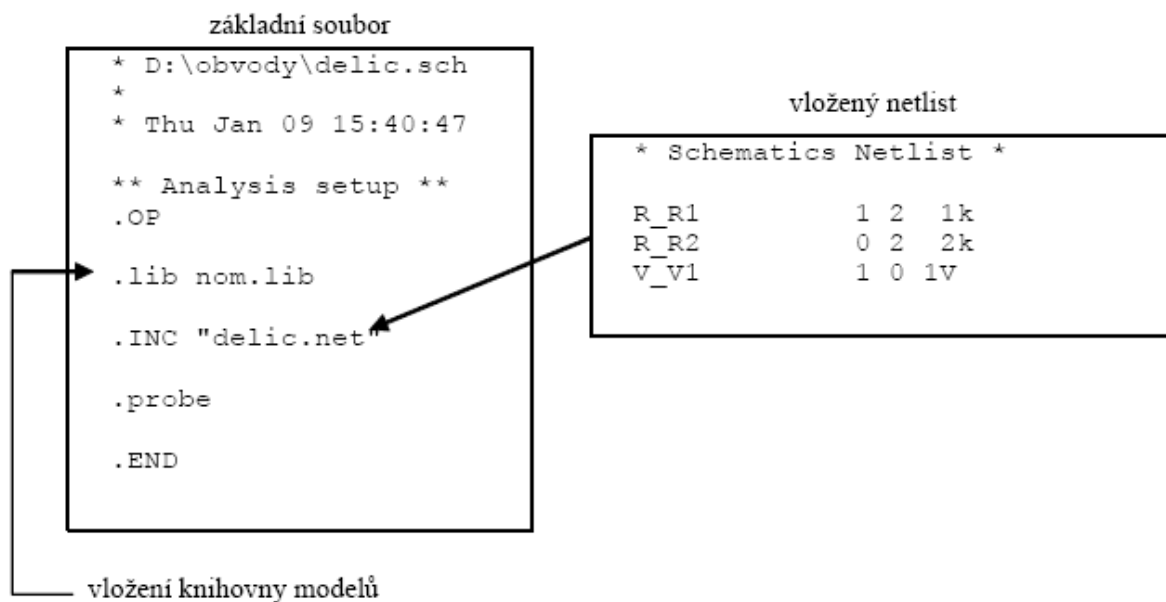
Simulace se spouští volbou **PSpice/Run** (F11) nebo tlačítkem . Nejdříve proběhne kontrola schématu (*ERC* - Electrical Rules Check). Pokud nejsou patřičně nastaveny parametry součástek, jména konektorů apod., zobrazí se okno s hlášením o nalezených chybách. Příčinu chyby lze vyčíst z popisu. Pokud ERC proběhne bez chyb, tak se vytvoří soubory s popisem obvodu (*netlist*) a předají se simulátoru. Jestliže během simulace dojde k chybě, tak se ve stavovém okně simulátoru objeví chybové hlášení. Soubor s hlášením o průběhu simulace a chybách jde otevřít volbou **PSpice/View Output File**. Pokud bylo příčinou chyby špatné zadání obvodu (nejčastěji špatné parametry součástek nebo analýz), tak je pod příslušným řádkem nápis **ERROR** a stručný popis chyby. Uživatel musí rozhodnout o způsobu opravy. Pokud došlo k chybě až během simulace (např. řešení nekonverguje), je hlášení na konci souboru[6,7].

Nejčastější příčiny chyb:

- *Neuzemněný obvod* - ve schématu chybí definice referenčního (zemnicího) uzlu „0“, PSpice hlásí plovoucí (*floating*) uzly.
- *Mezi číselnou hodnotou a příponou je mezera*
 - chybně: 1 kHz,
 - správně: 1kHz.
- *Chybějící deklarace globálního parametru* (pseudosoučástka **PARAM**).

3.3.2 Netlist

Při spuštění simulace je potřeba, aby byl na vstup PSpice přiveden vstupní soubor (obr. 3.5) vytvořený automaticky editorem schémat. V tomto vstupním souboru jsou definovány potřebné knihovny s modely součástek (přípona *.lib*) a schéma zapojení (*netlist*). *Netlist* můžeme generovat automaticky při spuštění simulace nebo si ho můžeme vygenerovat volbou **PSpice/Create Netlist** a prohlédnout příkazem **PSpice/View Netlist**.



Obr. 3.5: Ukázka vstupního souboru pro program *PSpice* s vloženým *netlistem*



Co je to vůbec *netlist*? Textová podoba grafického schéma srozumitelná simulátoru. Obsahuje v následujícím pořadí vždy referenci součástky, uzly připojení a seznam parametrů (hodnot). OrCAD umí vytvořit 30 různých druhů podle programu, do kterého exportujeme [7]. Např. Allegro, Mentor, PADS2000, Protel2...


3.3.3 Nastavení simulace


V této podkapitole si vysvětlíme, jak správně nastavit simulaci, význam těch nejdůležitějších položek v okně projektů a v nastavení simulačního profilu.

3.3.3.1 Simulační profil

Soubor nastavení parametrů pro hlavní analýzu (**Analysis**), zahrnující obsažené knihovny (**Libraries**), nastavení vnitřních parametrů simulátoru (**Options**), další připojené soubory (**Include files**) a soubory s uživatelem definovanými průběhy signálů tzv. „stimuly“ (**Stimulus**), je tzv. simulační profil. Ten musí mít název a ukládá se do samostatného souboru s příponou *.sim*.

Simulačních profilů (analýz) můžete vytvořit libovolný počet. Jednotlivé vytvořené analýzy jsou seřazeny abecedně v projektovém okně ve složce **PSpice Resources/Simulation Profiles**. Aktivní profil je vždy zvýrazněn symbolem  a neaktivní symbolem  [6].

Nastavení prováděných analýz je uloženo v simulačním profilu. Každé schéma v projektu může mít asociován libovolný počet profilů, jen jeden však může být aktivní. Volba aktivního profilu se provádí v okně projektu pomocí pravého tlačítka myši. Nový profil vytvoříme příkazem **PSpice/New Simulation Profile** nebo pomocí tlačítka . V profilu může být nastavena jedna ze čtyř základních analýz (pracovní bod, stejnosměrná, střídavá, časová) a případné nadstavby

(krokování, Monte Carlo, atd.). Otevření profilu se provede příkazem **PSpice/Edit Simulation Profile** či tlačítkem .

PSpice nabízí tyto čtyři základní druhy simulací [7]:

- **DC** – (**D**irect **C**urrent) analýza rozmítáním stejnosměrného *DC* zdroje
- **AC** – (**A**lternating **C**urrent) analýza ve frekvenční oblasti rozmítáním zdroje *AC*
- **Transient** – analýza v časové oblasti
- **BIAS** – analýza pracovního bodu

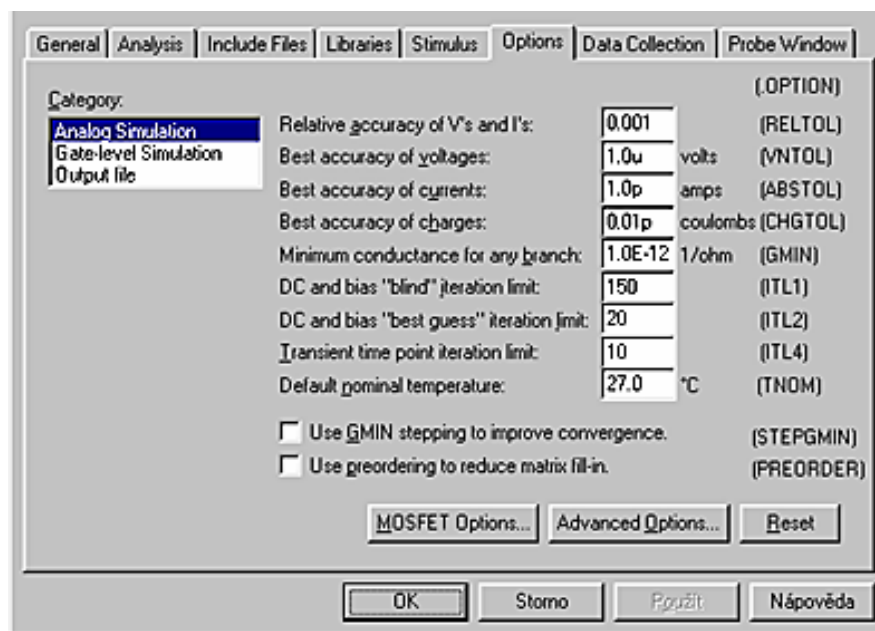
Každá z těchto analýz umožňuje provádět ještě několik vnořených simulací, což znamená, že hlavní analýza se provede pro každou hodnotu vnořené simulace. Vnořené analýzy jsou:

- rozmítání teploty (**temperature sweep**)
- rozmítání libovolného parametru (**parametric sweep**)
- statistické analýzy Monte Carlo / Nejhorší případ (**Monte Carlo / Worst case**)

Z těchto možností budeme používat časová analýzu (**Transient, Time domain**).

3.3.3.2 Nastavení globálních podmínek simulace

OrCAD nabízí změnu řady parametrů, jak pro digitální a analogovou simulaci, tak i pro některé součástky určující především přesnost výsledku. Tyto proměnné můžete nastavit vždy pro každou simulaci zvlášť a to v záložce **Options**.



Obr. 3.6: Záložka *Options* v nastavení simulačního profilu

Kompletní popis parametrů je uveden v referenční příručce [7]. V dalším výkladu se omezíme pouze na některé parametry hodnot.

- **ABSTOL** - přesnost výpočtu proudů,
- **VNTOL** - přesnost výpočtu napětí,
- **RELTOL** - relativní přesnost výpočtu napětí a proudů.

Tyto tři parametry řídí přesnost výpočtu. Relativní přesnost je určena parametrem **RELTOL**. Absolutní přesnost však nikdy neklesne pod hodnoty **VNTOL** resp. **ABSTOL**.

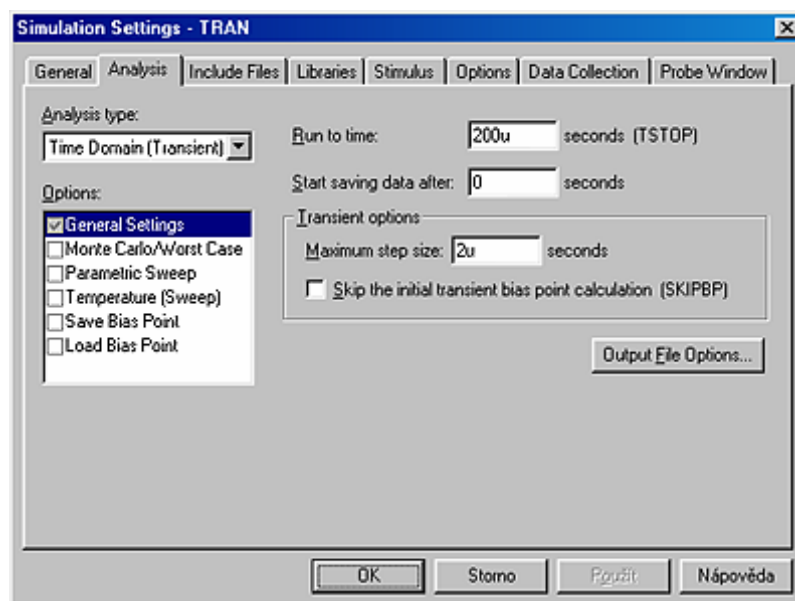
$$\Delta V = \max(VNTOL, V \cdot RELTOL)$$

$$\Delta I = \max(ABSTOL, I \cdot RELTOL)$$

- **TNOM** - nastavení standardní teploty pokud není zvoleno její rozmítání,
- **GMIN** - minimální vodivost kterékoliv větve obvodu, převrácená hodnota udává maximální možný odpor
- **STEPGMIN** – má-li simulátor problém s konvergencí výpočtu, je možné mu touto volbou vnútit použití velikosti kroku hodnoty **GMIN** pro výpočtovou iteraci.

3.3.3.3 Vytvoření simulačního profilu TRANS

Časová analýza (**Transient, Time domain**) umožňuje sledovat chování obvodu v libovolném čase, tzn. že je určena pro simulaci a sledování přechodných dějů a dynamických změn. Jde v podstatě o softwarovou podobu osciloskopu.



Obr. 3.7: Panel nastavení simulačního profilu TRANS

Vytvořme nový simulační profil s názvem *TRANS* a v poli *Analysis type* vyberme položku *Time domain (Transient)*. V okně voleb *Options* nechme zaškrtnuté políčko „obecné“ - *General Settings* a provedme nastavení podle obrázku 3.7. Povinný parametr je *Run to time* - konečný čas simulace. Parametr *Maximum step size* udává velikost maximálního kroku v čase. Pokud jej nebudeme zadávat manuálně, může se stát, že průběh nebude mít hladké přechody, ale bude

mít jen jednotlivé body, ve kterých byla provedena simulace. Naopak příliš malá hodnota vede k prodloužení doby simulace, čímž přesnost sice zvýšíme, ale nemusí to být vždy efektivní. Třetím nepovinným parametrem je *Start saving data after*, pomocí něhož můžeme nastavit ukládání dat až po určité uplynuté době. To je vhodné zejména tam, kde nepotřebujeme znát počáteční přechodný děj nebo nastavení obvodu a známe dobu trvání a teprve po uplynutí tohoto času se data začnou zaznamenávat [6].

3.4 Zobrazení výsledků

Výsledky simulace můžeme zobrazit a uložit ve dvou formátech. Jako textový soubor s příponou *.out* nebo pomocí postprocesoru *Probe* jako graf [8].

3.4.1 Textový soubor *.out*

V textovém souboru jsou uloženy všechny hlášení o průběhu simulace, chybách a výsledky některých analýz. První část tvoří vstupní soubor s netlistem. Poté jsou zařazeny potřebné simulační informace o jednotlivých modelech. Soubor je pak zakončen některými výsledky [6,7].

```
**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C
*****
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( IN) 0.0000 ( OUT) 1.0000 ( VCC) 1.0000 (N01936) 0.0000
VOLTAGE SOURCE CURRENTS
NAME CURRENT
V_V1 -1.080E-12
V_Vin 0.000E+00
V_V2 0.000E+00
TOTAL POWER DISSIPATION 1.08E-12 WATTS
```

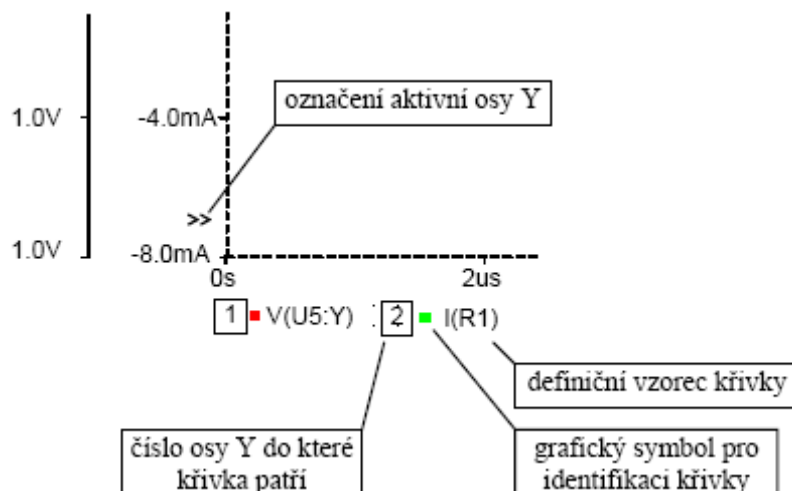
Obr.3.8 : Ukázka souboru *.out* (zkráceno)

3.4.2 Postprocesor *Probe*

Po simulaci se zpravidla sám spustí postprocesor *Probe* a zobrazí výsledný graf načtením souboru s příponou *.dat*. Pokud schéma neobsahuje markry, je po skončení simulace pouze načten datový soubor a zobrazí se prázdný graf.

Okno grafu je rozděleno na analogovou a digitální část. Pokud datový soubor neobsahuje číselná data, tak digitální část není přístupná a naopak. Každý graf může mít jednu až tři osy *Y*.

Každá osa má samostatné měřítko a aktivní osa je označena symbolem „>>“, který lze přesouvat myší. Do této osy se přidává nová křivka volbou **Trace/Add Trace (Insert)** [7].



Obr. 3.9: Levý spodní okraj grafu v *Probe*

Novou osu přidáme příkazem **Plot / Add Y axis**. Obsah okna (grafy) lze zkopírovat jako obrázek do schránky příkazem **Window/Copy to Clipboard...** a poté např. vložit do textového editoru.

4 Simulace některých obvodů

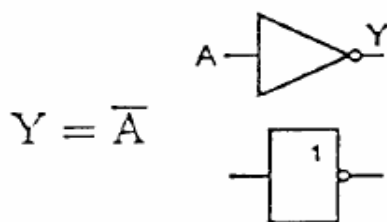
Hradla simulovaná v této části, jsou základním stavebním prvkem všech složitějších obvodů. Zapojení těchto hradel je notoricky známo a dá se snadno zjistit na internetu.

Účelem simulací těchto obvodů bylo si ověřit pomocí PSpice jak tyto hradla pracují. Z výsledků simulací byla dokázána správná funkce těchto hradel. Výsledky provedených analýz jsem uvedl pro příklad u hradla XOR.

Není-li uvedeno jinak, byly veškeré uvedené simulace prováděny v OrCad PSpice 10.3 (výrobce Cadence). Jako model tranzistorů byl použit model BSIM2 technologie AMIS07 (0.7 μm).

4.1 Hradlo NOT

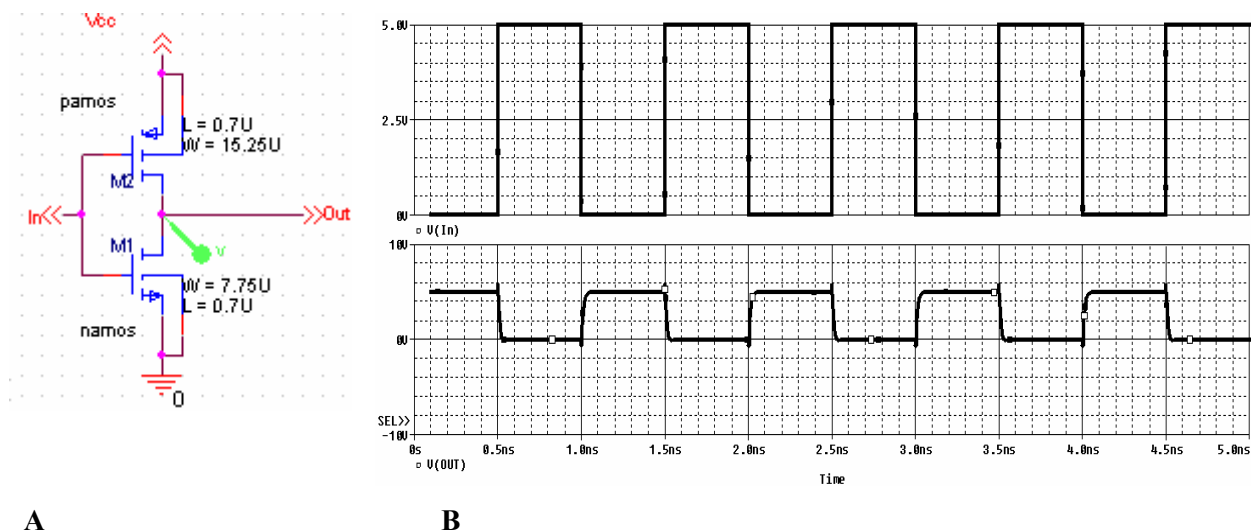
Úplně nejjednodušším logickým obvodem je *NOT* (*invertor*). Realizuje funkci tzv. *logické negace*.



Obr 4.1: Schématické značky hradla NOT

A	Y
0	1
1	0

Tab. 4.1: Pravdivostní tabulka logické negace



A

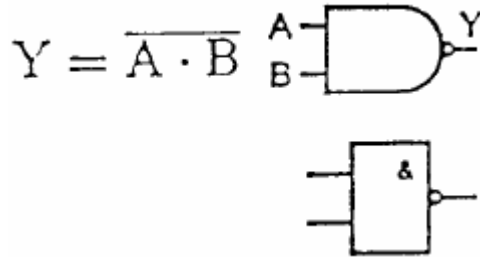
B

Obr 4.2 :Schéma (A) a změřené charakteristiky (B) hradla NOT při $f = 1 \text{ GHz}$ a $T = 20 \text{ }^\circ\text{C}$

4.2 Hradlo NAND

Toto hradlo provádí funkci tzv. negovaného logického součinu. Je to nejběžněji používané hradlo. Propojením vstupů je schopno pracovat jako invertor. Lze pomocí něho realizovat většinu klopných obvodů.

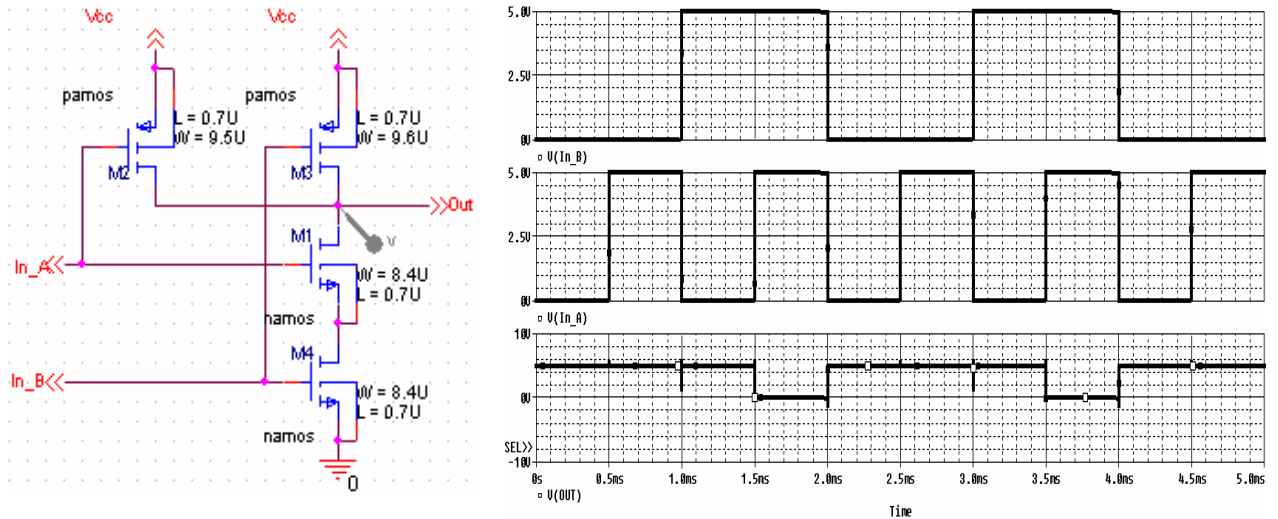
Pro log. funkci NAND platí: $F = \overline{a \cdot b} = NOT(a AND b)$.



Obr 4.3: Schématické značky hradla NAND

a	b	$\overline{a \cdot b}$
0	0	1
0	1	1
1	0	1
1	1	0

Tab. 4.2: Pravdivostní tabulka negovaného logického součinu

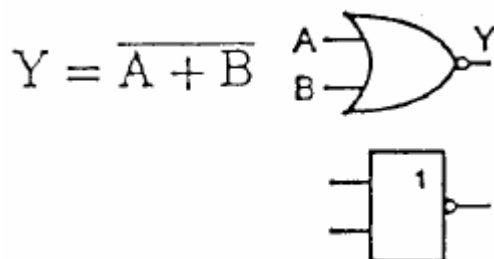


Obr. 4.4: Schéma (A) a změřené charakteristiky (B) hradla NAND při $f = 500 \text{ Hz}$ a $T = 20 \text{ }^\circ\text{C}$

4.3 Hradlo NOR

Toto hradlo provádí funkci tzv. negovaného logického součtu.

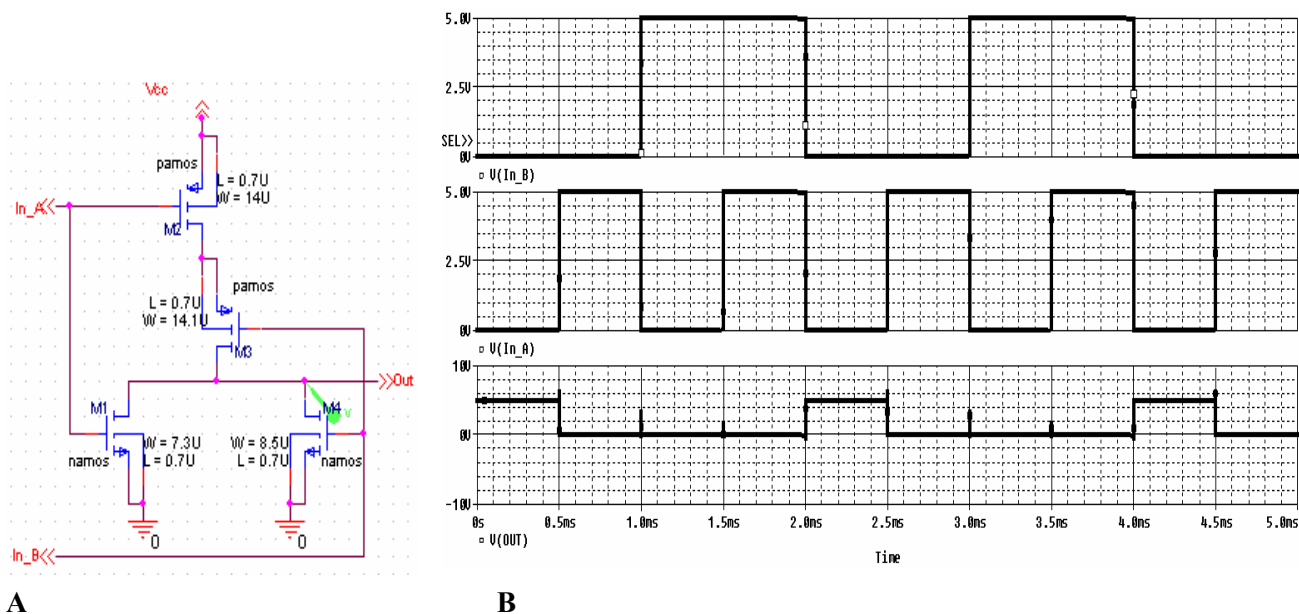
Pro log. funkci NOR platí: $F = \overline{a + b} = NOT(a OR b)$.



Obr 4.5: Schématické značky hradla NOR

a	b	$\overline{a + b}$
0	0	1
0	1	0
1	0	0
1	1	0

Tab. 4.2: Pravdivostní tabulka negovaného logického součtu

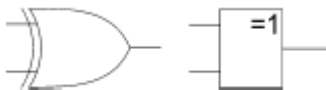


Obr. 4.6: Schéma (A) a změřené charakteristiky (B) hradla NOR při $f = 500$ Hz a $T = 20$ °C

4.4 Hradlo XOR

Funkce XOR se též nazývá nonekvivalence (funkce je pravdivá, když se hodnoty proměnných nerovnjají), difference či výhradní součet.

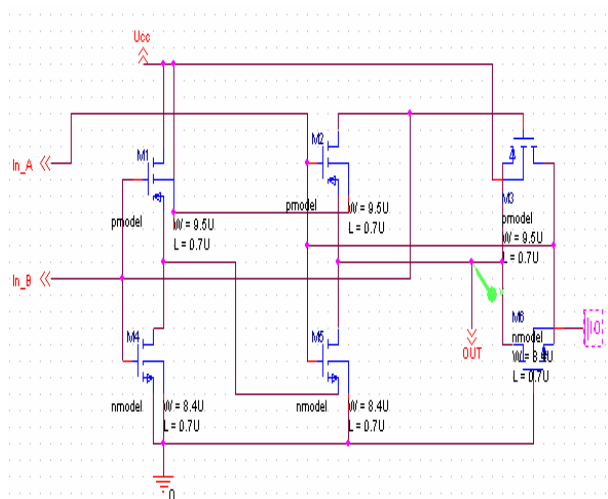
Pro log. funkci XOR platí: $F = a \oplus b = a \text{ XOR } b = a \cdot \bar{b} + \bar{a} \cdot b$.



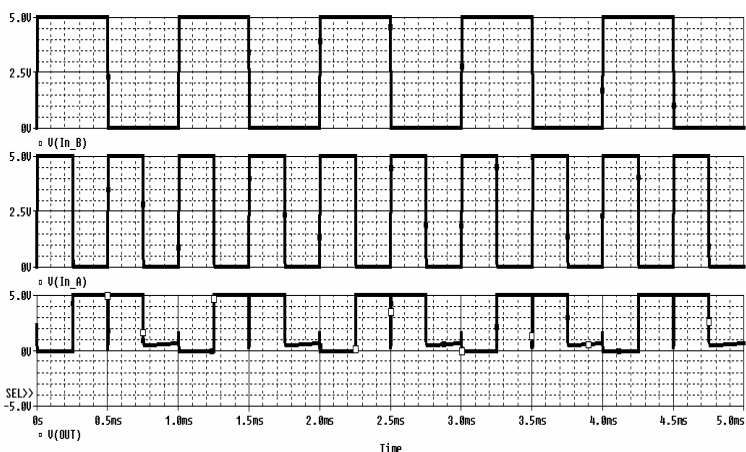
Obr 4.7: Schématické značky hradla XOR

a	b	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0

Tab. 4.2: Pravdivostní tabulka nonekvivalence

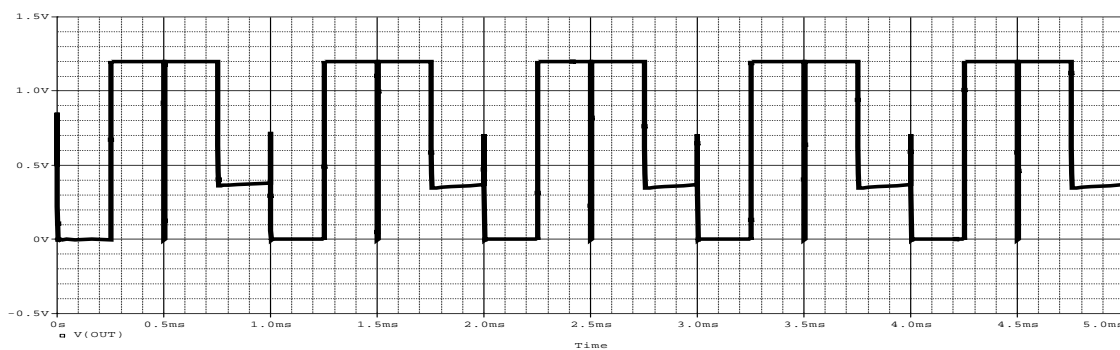


A

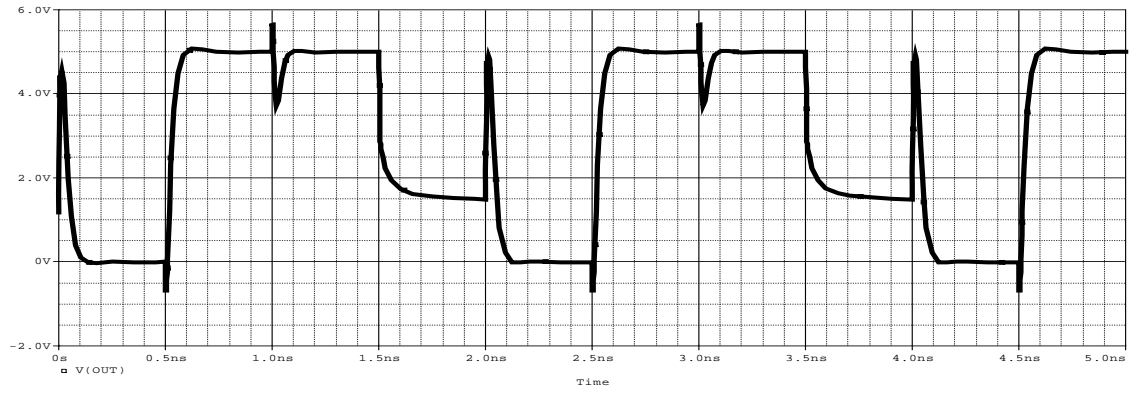


B

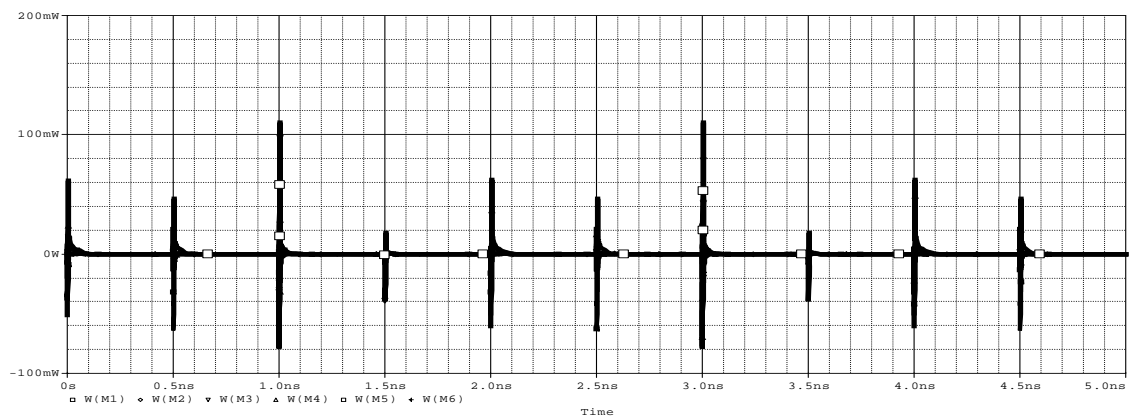
Obr. 4.6: Schéma (A) a změřené charakteristiky (B) hradla XOR při $f = 1 \text{ kHz}$ a $T = 20 \text{ }^\circ\text{C}$



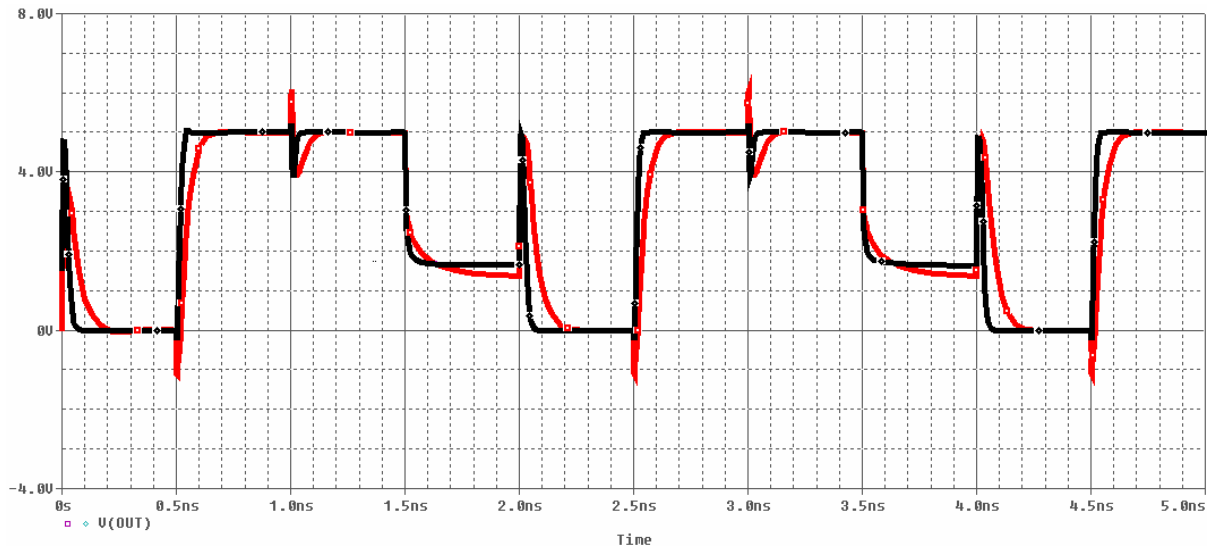
Obr. 4.7: Hradlo XOR při $f = 1 \text{ kHz}$, $T = 20 \text{ }^\circ\text{C}$ a $V_{dd} = 1,2\text{V}$



Obr. 4.8: Hradlo XOR při $f = 500 \text{ MHz}$ a $T = 20 \text{ }^\circ\text{C}$



Obr. 4.9: Spotřeba hradla XOR při $f = 500 \text{ MHz}$ a $T = 20 \text{ }^\circ\text{C}$



Obr. 4.9: Hradlo XOR při $f = 500 \text{ MHz}$, $T = 200 \text{ }^\circ\text{C}$ (červená) a $T = -200 \text{ }^\circ\text{C}$ (černá)

4.5 Zjištěné vlastnosti běžných hradel

Tato hradla se chovala dle předpokladů. Mezní frekvence těchto hradel je v řádech desítek MHz. Tato hodnota se dá o trochu vylepšit když bude tranzistor pracovat při nižších teplotách. Spotřeba těchto hradel je v ustáleném stavu rovna μW , kromě hradla XOR, které má spotřebu 100mW. Tyto vlastnosti jsou dány technologií konstrukce použitých unipolárních tranzistorů.

5 Polymorfní hradla

Polymorfní elektronika je nový přístup k tvorbě elektronických obvodů, které jsou schopny měnit svoji funkci dle okolních podmínek, např. teploty, napájecího nebo externího napětí. Tento princip byl představen v [3], patentován v roce 2000 a je zkoumán v NASA's Jet Propulsion Laboratory v Pasadeně.

Jako příklad může sloužit logické hradlo, které má plnit funkci AND nebo funkci OR podle specifické řídicí podmínky (zde je to napájecí napětí). Konvenčně se implementace těchto funkcí provádí vložením obou hradel (AND i OR) do výsledného obvodu a jejich výstup připojí na vstupy multiplexoru, který přepíná výstupy dle řídicí proměnné. Není-li řídicí proměnná napěťová logická úroveň použité technologie, je třeba řídicí proměnnou na logickou úroveň převádět. Při použití polymorfní elektroniky však může být navrženo jedno logické hradlo, které plní požadovanou funkci a je přímo ovládáno řídicí proměnnou. Integruje tedy obě funkce i se senzorem.

Zápis funkce polymorfního obvodu není striktně stanoven, ale dodržuje se postup, při kterém se zapisují jednotlivé funkce obvodu za sebe oddělené lomítkem. Hodnoty řídicí proměnné se také oddělují lomítkem a jejich pozice mezi lomítky koresponduje s pozicí funkce, kterou tato nastavená řídicí proměnná vyvolává. Za hodnotami řídicí proměnné se uvádí její typ. Tedy například hradlo AND/OR 1.2/3.3V. Vdd je ovládáno napájecím napětím, kdy při hodnotě 1.2V plní funkci AND a při 3.3V plní funkci OR.

Existující funkční polymorfní hradla jsou uvedena v tabulce 5.1. Byla získána díky evolučním technikám a prozatím neexistuje žádná konvenční metoda, jak je navrhovat. Žádné funkční polymorfní hradlo navržené člověkem nebylo zatím vytvořeno.

Hradlo	Řízení	Počet tranzistorů
AND/OR	27/125°C teplota	6
AND/OR/XOR	3.3/0.0/1.5V ext. napětí	10
AND/OR	3.3/0.0V ext. napětí	6
NAND/NOR/XOR/AND	0.0/0.9/1.1/1.8V ext. napětí	11
AND/OR	1.2/3.3V - Vdd	8
NAND/NOR	3.3/1.8V - Vdd	6 (vyrobena)

Tab 5.1: Přehled polymorfních hradel

Účelem simulací těchto hradel je prozkoumat a ověřit funkci těchto hradel za použití PSpice. Při simulaci jsem se zaměřil na mezní hodnoty každého z hradel a tyto grafy jsou uvedeny v příloze.

5.1 Hradla řízená externím napětím

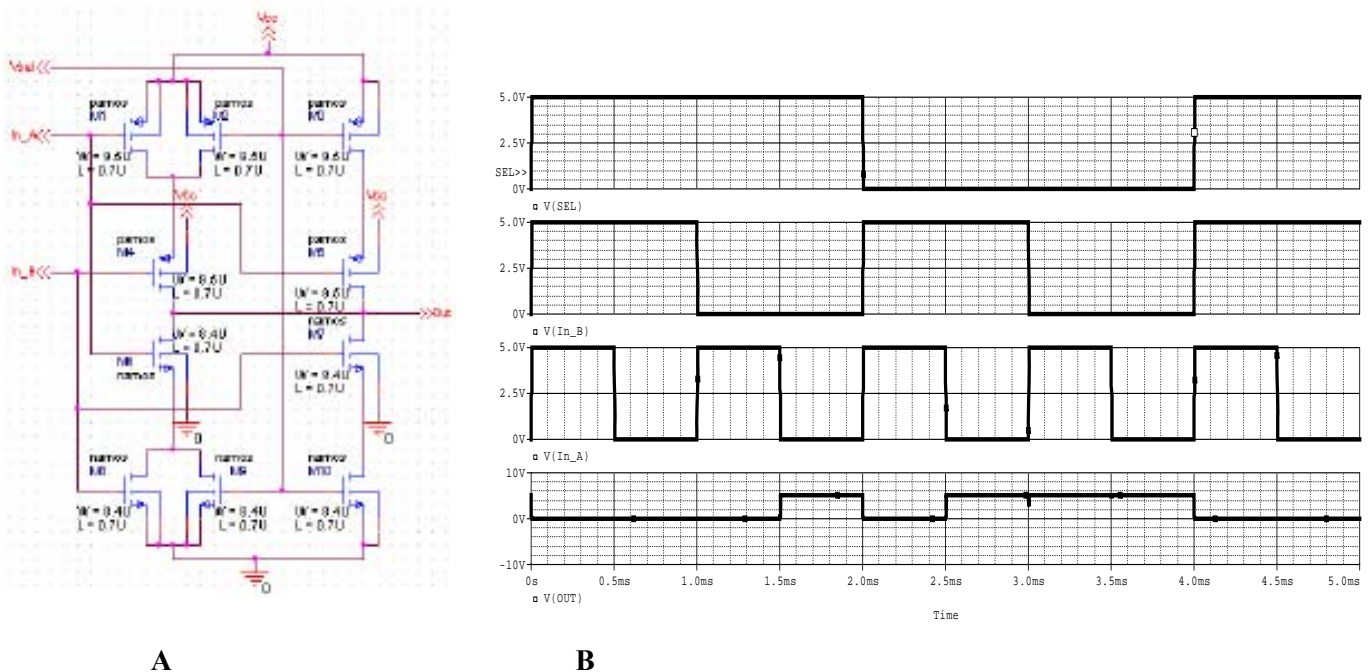
Jsou hradla, která mají přiveden jeden speciální vstup navíc. Tento vstup přepíná předem definované funkce hradel.

5.1.1 Hradlo NAND/NOR

Toto hradlo (Obrázek 5.1) je prezentováno v [10] a pracuje jako NAND při 0V na řídicím vstupu a jako NOR při napětí na řídicím vstupu rovném V_{dd}. Jeho funkce lze popsat pravdivostní tabulkou (Tabulka 5.2).

Vsel	A	B	Out
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Tab. 5.2: Pravdivostní tabulka NAND/NOR řízeného externím napětím



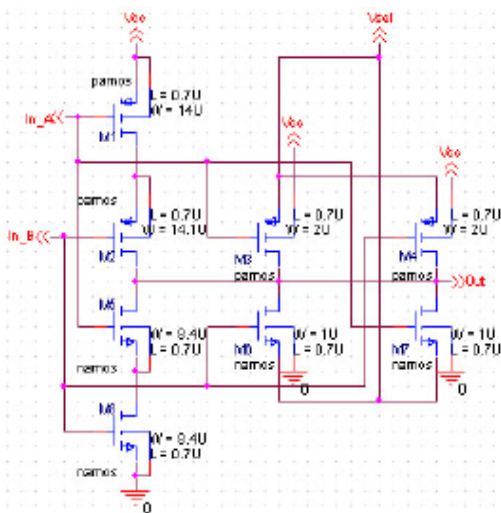
Obr. 5.1: Schéma (A) a změřené charakteristiky (B) hradla NAND/NOR

5.1.2 Hradlo NOR/NAND

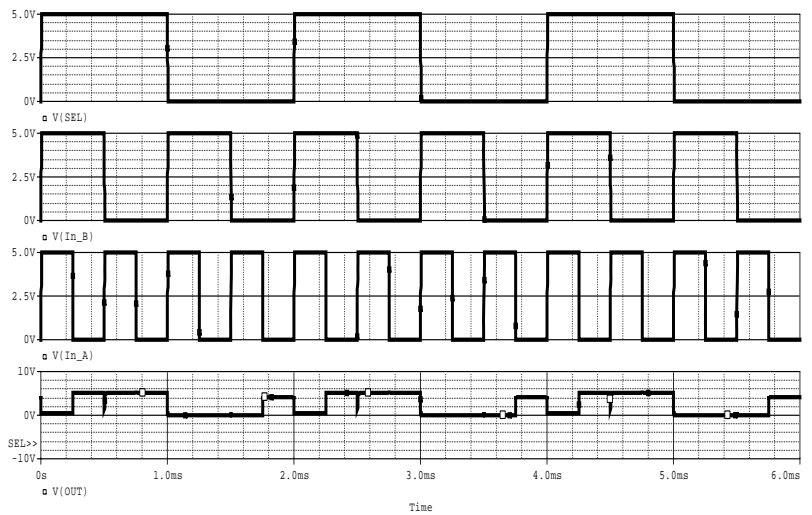
Toto hradlo (Obrázek 5.2) prezentováno v [10] a pracuje jako NOR při 0V na řídicím vstupu a jako NAND při napětí na řídicím vstupu rovném Vdd. Lze jej popsat pravdivostní tabulkou (Tabulka 5.3).

Vsel	A	B	Out
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tab 5.3: Pravdivostní tabulka NOR/NAND řízeného externím napětím



A



B

Obr. 5.2: Schéma (A) a změřené charakteristiky (B) hradla NOR/NAND

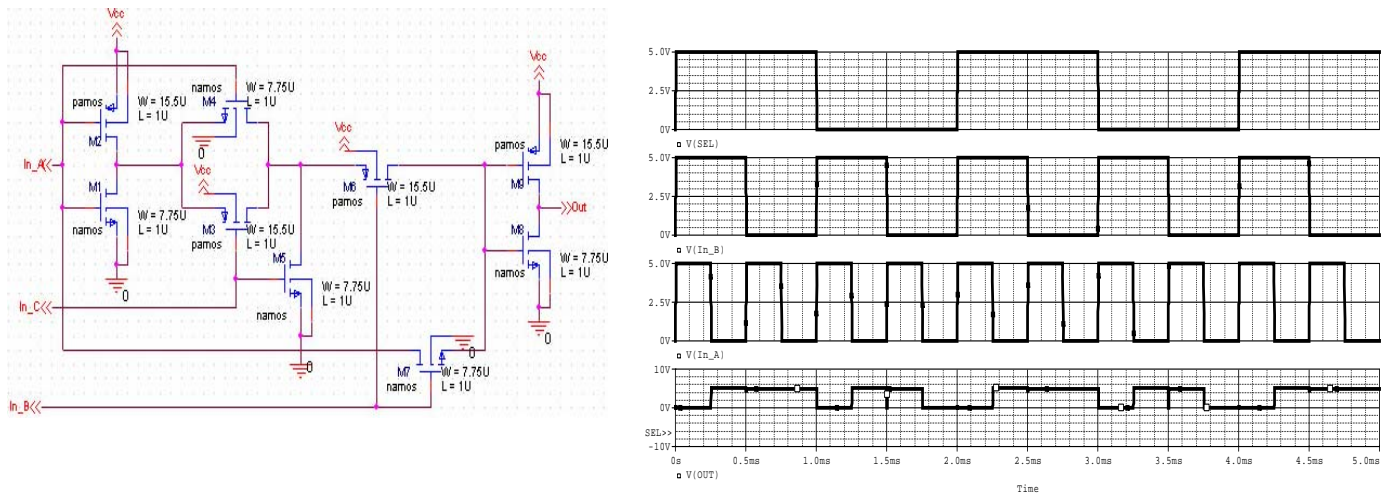
při $f = 500 \text{ MHz}$ a $T = 20 \text{ }^\circ\text{C}$

5.1.3 Hradlo NAND/XOR

Toto hradlo (Obrázek 5.3) prezentováno v [10] a pracuje jako NAND při 0V na řídicím vstupu a jako XOR při napětí na řídicím vstupu rovném Vdd. Lze popsat pravdivostní tabulkou (Tabulka 5.3).

Vsel	A	B	Out
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Tab 5.3: Pravdivostní tabulka NAND/XOR řízeného externím napětím



A

B

Obř. 5.3: Schéma (A) a změřené charakteristiky (B) hradla NAND/XOR při $f = 500 \text{ MHz}$ a $T = 20 \text{ }^\circ\text{C}$

5.1.4 Zjištěné vlastnosti polymorfních hradel řízených externím napětím

Při jednotlivých simulacích jsem zjistil, že teplota prostředí nemá při nastavení běžných frekvencí žádný důležitý význam. Jinak je tomu ovšem při vysokých frekvencích. Zde je zřejmé, že čím je teplota nižší, tím hradlo pracuje rychleji a tudíž lépe zvládá rychle změny stavů.

Při simulacích různých vstupních frekvencí se projevila značná odolnost při vyšších frekvencích. Hradla mají nezkrášený výstup, až do frekvencí v řádech desítek MHz.

Při změně napájecího napětí, je nezkrášený výstup při minimálním $V_{dd} = 2,5V$. Chceme-li napájet hradlo ještě nižším napětím, musí se změnit nastavení hradel.

Z provedených simulací vyplývá, že pokud chceme hradla provozovat na vyšších frekvencích než jsou desítky MHz, musíme snížit napájecí napětí a hradla chladit.

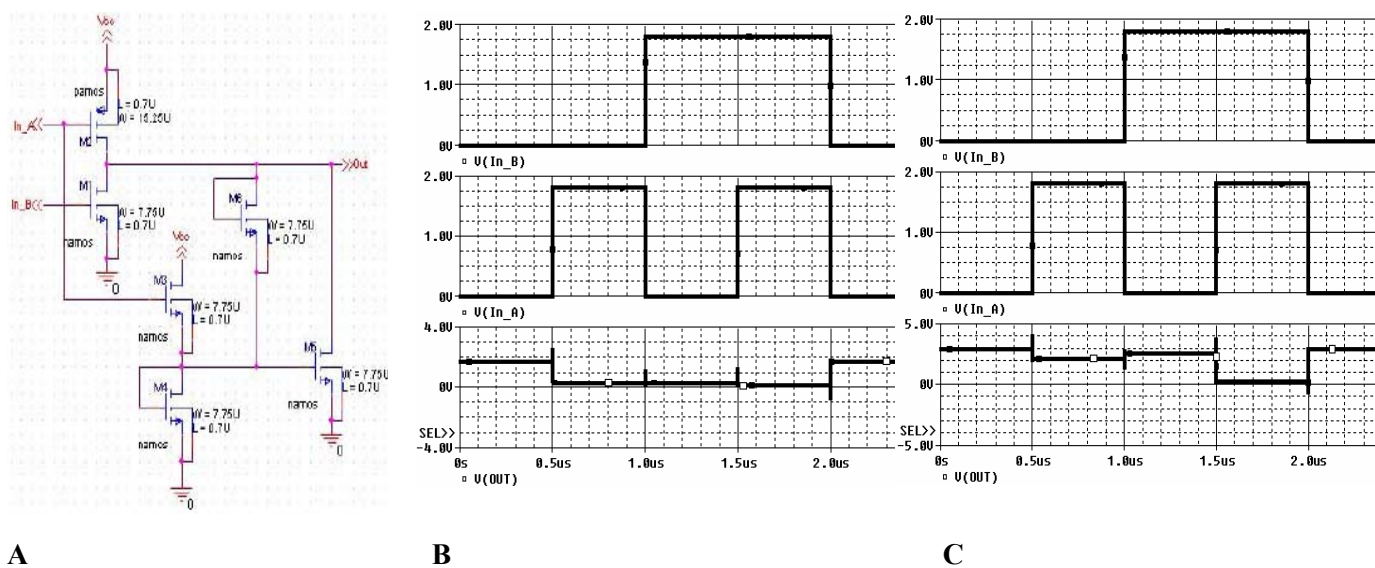
5.2 Hradla řízená Vdd

Jsou hradla, která nemají pro přepnutí funkce přiveden nějaký speciální vstup, ale řídí se pomocí vstupního napětí.

5.2.1 Hradlo NAND/NOR řízené Vdd

Jedná se o nejznámější polymorfní hradlo, které bylo prezentováno v [2] a bylo ověřeno fyzickou implementací. Jeho vnitřní struktura je zobrazena na obrázku 5.4.

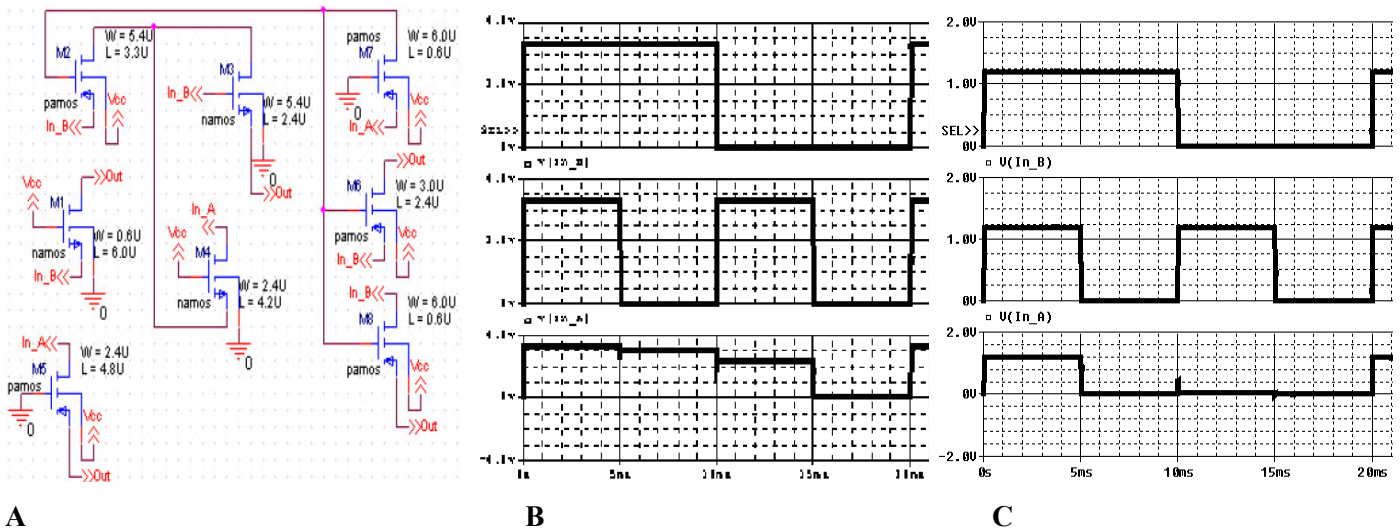
Zvláštností je, že napěťová úroveň logické „1“ na vstupech je stále $1,8V$ nezávisle na plněné funkci (tedy napájecím napětí). Výstupní napěťová úroveň logické „1“ je shodná s napájecím napětím pro používaný režim. Odlišnost logické „1“ na vstupu znemožňuje zapojení tohoto hradla s ostatními hradly se standardním chováním, jejichž logické úrovně striktně kopírují napájecí napětí.



Obr 5.4: Hradlo NAND/NOR řízené Vdd. (A) schéma, (B) 3,3V Vdd NOR, (C) 1,8V Vdd NAND při $f = 500$ MHz a $T = 20$ °C

5.2.2 Hradlo AND/OR řízené Vdd

Toto hradlo (Obrázek 5.5) bylo představeno v [11]. Při Vdd 1,2V pracuje jako AND, při Vdd 3,3V jako OR.



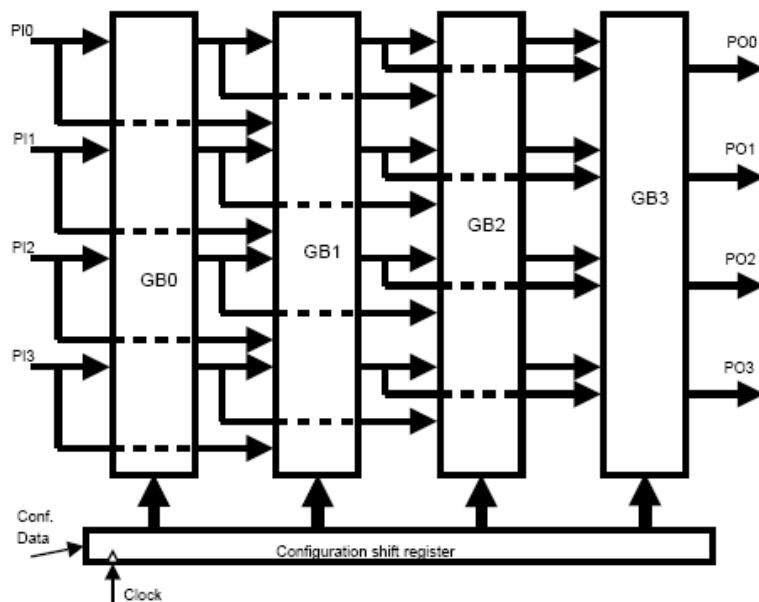
Obr 5.5: Hradlo AND/OR řízené Vdd. (A) schéma, (B) 3,3V Vdd OR, (C) 1,2V Vdd AND při $f = 500 \text{ MHz}$ a $T = 20 \text{ }^\circ\text{C}$

5.2.3 Zjištěné vlastnosti polymorfního hradel řízených Vdd

Pro toto hradlo NAND/NOR platí stejné výsledky jako pro předchozí tři polymorfní hradla. Pro hradlo AND/OR platí, že nelze zapojit více těchto hradel za sebe do série a to z důvodů, že výstupní úrovně nejsou přesné, což ovlivňuje následující hradla. Se standardními hradly lze kombinovat, ale s obtížemi, neboť se zátěží prudce stoupá odběr. Na prázdko se odběr pohybuje v řádu desítek pA, což je obdobné klasickým hradlům. Na prázdko zvládá až jednotky MHz, Při zátěži klesá maximální kmitočet na desítky kHz. U tohoto hradla záleží i na teplotě. Při teplotách nad $100 \text{ }^\circ\text{C}$ a pod $-100 \text{ }^\circ\text{C}$ není výstup použitelný.

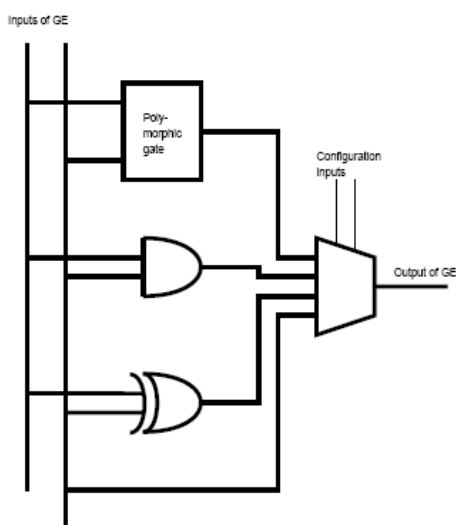
6 REPOMO

REPOMO (REconfigurable POLymorphic MOdule) bylo představeno v [9]. Je to obvod se čtyřmi vstupy a čtyřmi výstupy obsahující polymorfní a standardní hradla, jejichž propojení je rekonfigurovatelné. REPOMO byl navržen pro tvorbu nových složitých polymorfních obvodů v reálném prostředí. Protože zatím není k dispozici žádná konvenční metoda pro návrh polymorfních obvodů, využívají počáteční experimenty evolučního návrhu.



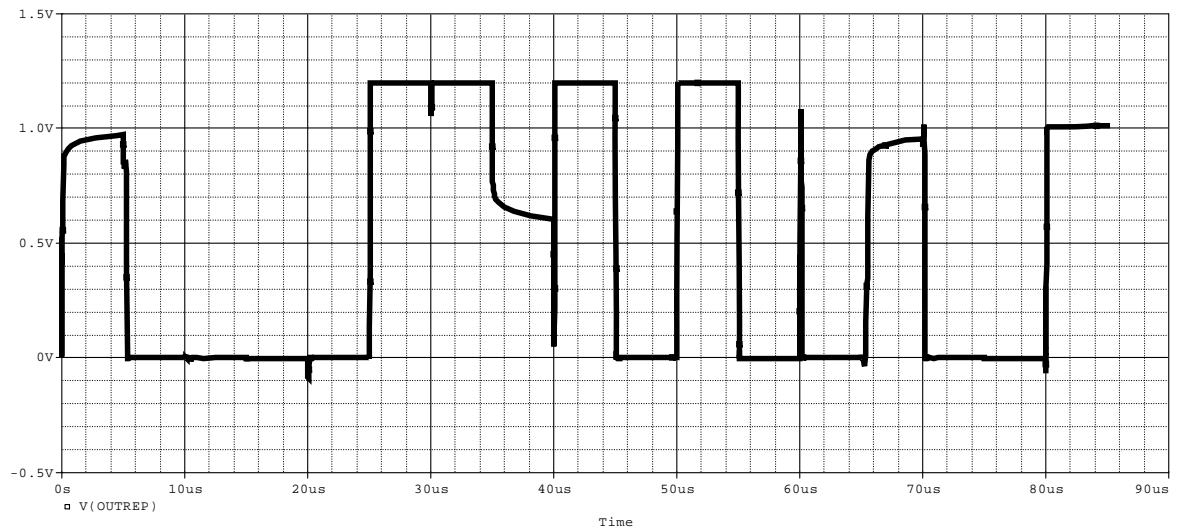
Obr. 6.1: Struktura REPOMO

REPOMO je složeno z šestnácti buněk uspořádaných do čtyř bloků (obrázek 6.1). Každá buňka je tvořena dvoustupňovým polymorfním hradlem NAND/NOR $1.2/3.3 \ V \ V_{dd}$, dvoustupňovými hradly AND a XOR, volnou propojkou a čtyřvstupovým hradlem multiplexoru (obrázek 6.2) [9].

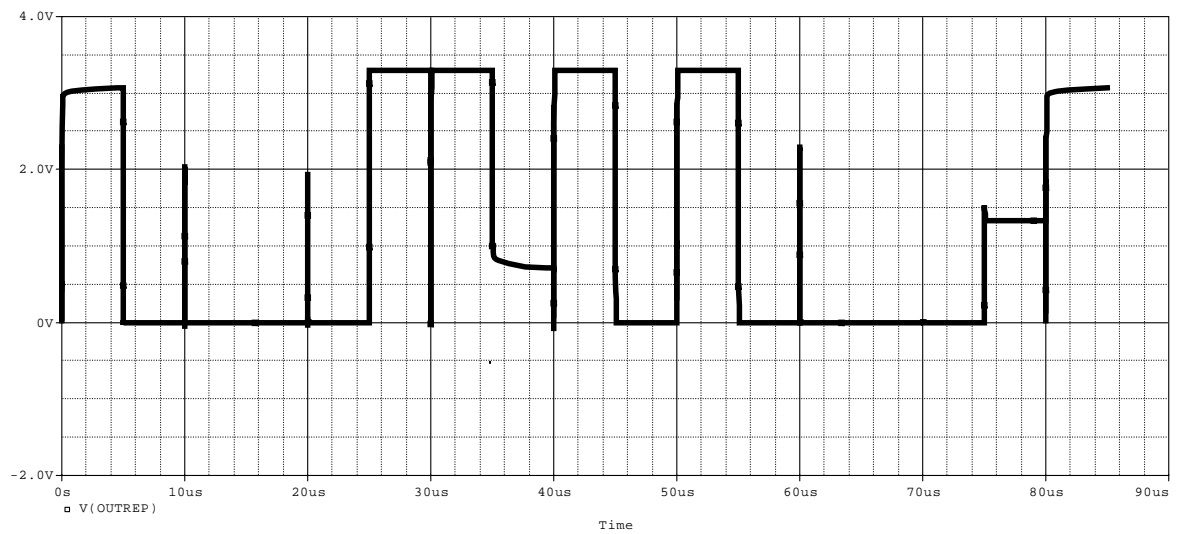


Obr. 6.2: Struktura buňky REPOMO

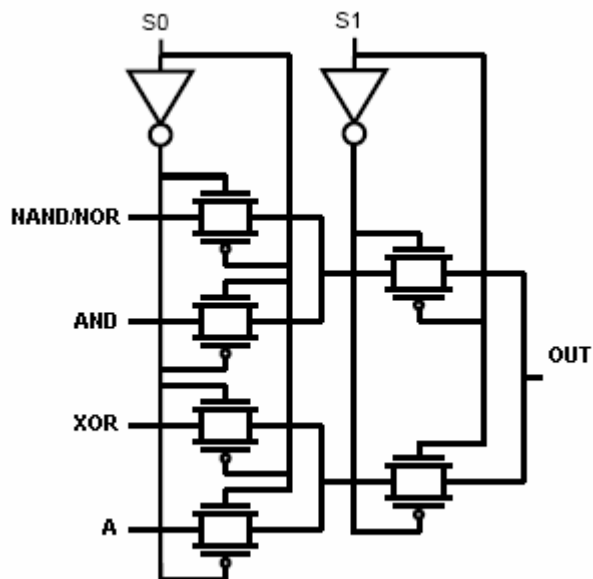
Zvolení správné výstupní funkce probíhá v multiplexoru, který vybere pomocí svých řídicích proměnných správný vstup a přeneso ho na výstup.



Obr. 6.3: REPOMO při $f = 50 \text{ kHz}$ $T = 20 \text{ }^\circ\text{C}$ a V_{dd} polymorfního hradla $V_{dd} = 1,2\text{V}$ (vstupy do obvodu REPOMO jsou umístěny v příloze)



Obr 6.4: REPOMO při $f = 50 \text{ kHz}$ $T = 20 \text{ }^\circ\text{C}$ a V_{dd} polymorfního hradla $V_{dd} = 3,3\text{V}$ (vstupy do obvodu REPOMO jsou umístěny v příloze)



Obr. 6.5: Schéma zapojení multiplexoru

Parametry tohoto obvodu jsou dány použitými hradly. Protože je zde vloženo polymorfní hradlo AND/OR řízené V_{dd} má tento obvod podobné vlastnosti jako toto hradlo (popsáno výše). Při simulaci jsem použil jiné schéma zapojení pro hradlo XOR. Toto zapojení má nevýhodu při přivedení logické „0“ na oba vstupy. Poté se na výstupu hradla objeví malé napětí, s kterým při $V_{dd} = 5V$ není na vstupu dalšího hradla žádný problém, ale při $V_{dd} = 1,2V$ je toto napětí dosti veliké a hrozí, že by si ho mohlo další hradlo splést s logickou „1“. Tato závada by se dala odstranit volbou jiného schéma zapojení.

7 Závěr

Tato práce je pouze úvodem do problematiky polymorfních obvodů a jejich simulací. Pokud chce čtenář vědět více o problematice, měl by si přečíst některou z dále uvedených odborných knih či článků. Dokument slouží jako podklad pro další zkoumání, vývoj i výrobu polymorfních obvodů.

Je zde dokázána možnost sestrojení i použití polymorfních obvodů. Vzhledem k faktu, že polymorfní obvody jsou stále pouze ve vývoji, nabízí se spousta možností, jak je použít v praxi. Jedním z užitků, které tento přístup potenciálně přináší, je úspora počtu součástek nutných k realizaci daného obvodu. Díky této vlastnosti lze dosáhnout vyšší integraci obvodů na čipu, což má za následek zvýšení výkonu.

Z uvedených simulací vyplývá, že polymorfní hradla jsou po charakteristické stránce podobné hradlům klasickým. Nejpodobnější jsou polymorfní hradla řízená externím napětím. Je z nich také patrná nereálnost použití těchto hradel v nejnovější výpočetní technice, dokud se nezlepší vlastnosti hradel na vyšších frekvencích. Toho lze dosáhnout změnou výrobní technologie. Problémem je u hradla NAND/NOR řízeném V_{dd} nepřijatelná potřeba snížit napájecí napětí na hodnotu běžnou pro nejnovější technologie. Další překážkou pro zavedení polymorfního hradla NAND/NOR řízeného V_{dd} do běžného užívání je potřeba přepínat mezi dvěma řídicími napětími z důvodu řízení hradla. Zvláště, když tyto napětí jsou nestandardních hodnot.

Jedna z předvedených možností užití polymorfních hradel je REPOMO (REconfigurable POlymorphic MOdule). REPOMO je sice zatím pouze ve fázi vývoje, ale simulace dokázali, že tato koncepce je života schopná. Tento obvod byl navržen pomocí evolučního návrhu a měl by sloužit pro další výzkum.

Tato práce také obsahuje stručný návod k programu OrCAD PSpice. Doufám, že pomůže začátečníkům snadno a rychle se zorientovat v tomto programu. Z vlastní zkušenosti vím že na první pohled je tento program dosti složitý a možná i těžkopádný. Po pár hodinách práce s ním, se program snadno vžije a jeho ovládaní se jeví jednoduché.

Do budoucna by bylo dobré pokusit se odsimulovat celý obvod REPOMO či aspoň jeden jeho blok. Čímž by se dalo zjistit jestli tento projekt bude opravdu fungovat v praxi tak dobře, jako teoreticky.

Mnou zvolené téma, simulace polymorfních obvodů na úrovni tranzistorů, mě velmi zaujalo. Nejvíce času jsem strávil studiem polymorfních technologií a unipolárních tranzistorů, ale jsem přesvědčen, že to stálo za námahu. Se svojí prací jsem spokojen a nelituji, že jsem si ji zvolil.

Literatura

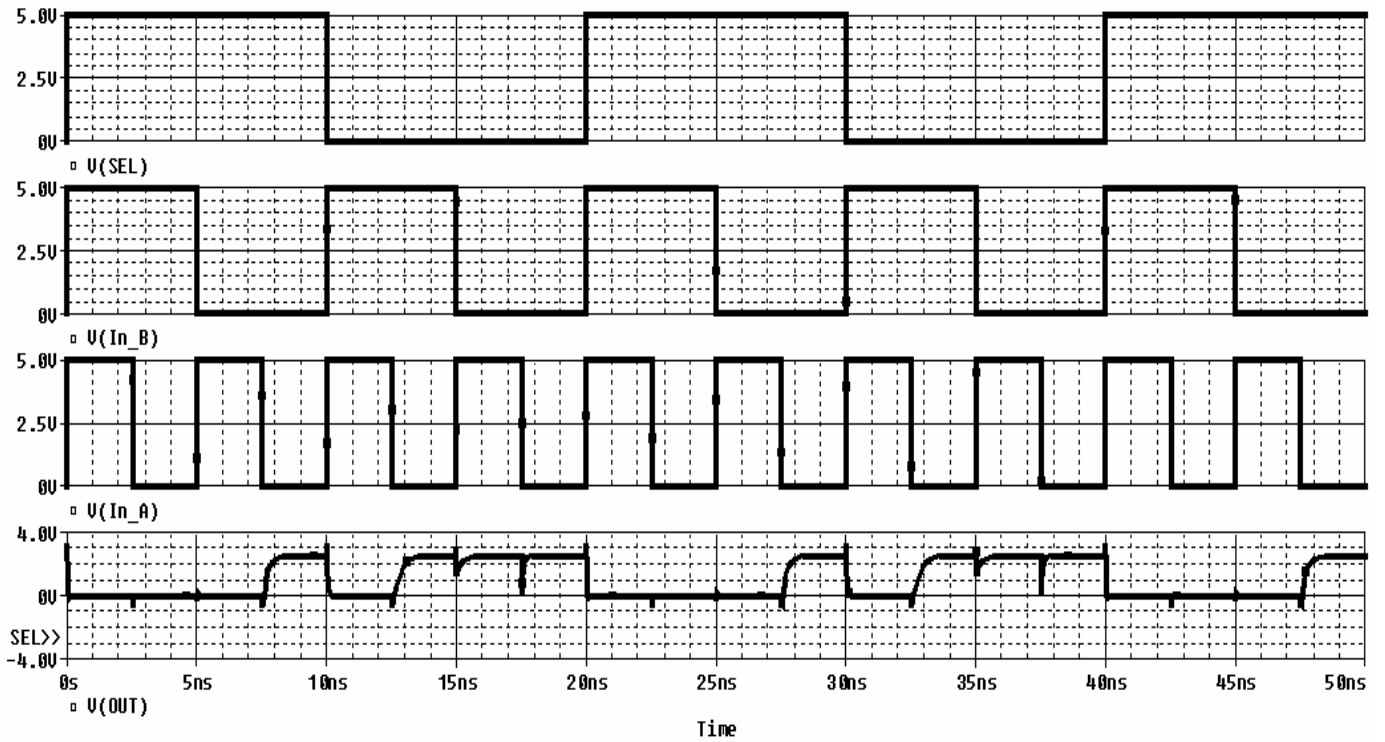
- [1] Musil, V., Prchalová, I., Boušek, J. *Elektronické součástky*. Brno, PC-DIR spol. s r.o. - Nakladatelství, 1995.
- [2] Stoica, A., Zebulum, R., Guo, X., Keymeulen, D., Ferguson, I., Duong, V.: *Taking Evolutionary Circuit Design From Experimentation to Implementation: Some Useful Techniques and a Silicon Demonstration*. In IEE Proc.-Comp. Digit. Tech., 2004, s. 295-300.
- [3] Stoica, A., *Polymorphic electronics – Novel type of circuits with multiple functionality*. NASA New Technology Report NPO-21213, 2000
- [4] Stoica, A., Zebulum, R., *Multifunctional Logic Gate Controlled by Supply Voltage*. NASA New Technology Report NPO-40790, NASA's Jet Propulsion Laboratory, Pasadena, California. Dokument dostupný na URL <http://www.nasatech.com/Briefs/July05/NPO30836.html> (duben 2007)
- [5] Weste, N., Hartus, D., Wesley, A., *CMOS VLSI Design A Circuits and Systems Perspective* (3rd Edition) ISBN: 0-321-14901-7, Kniha dostupná na URL <http://www.cmosvlsi.com/> (květen 2007)
- [6] Kolka, Z., *Analýza elektronických obvodů programem OrCAD Pspice*. Brno, PC-DIR spol. s r.o. - Nakladatelství, 1996.
- [7] *PSpice Reference Guide*, Cadence Design, 2000
- [8] WWW zdroj <http://www.cadence.com> (duben - květen 2007)
- [9] Růžička, R., Sekanina, L., *EVOLUTIONARY CIRCUIT DESIGN IN REPOMO - RECONFIGURABLE POLYMORPHIC MODULE*, Proceedings of the Second IASTED International Conference on Computational Intelligence, Anaheim, US, ACTA Press, 2006, s. 237-241, ISBN 0-88986-602-3
- [10] Stareček, L., *Polymorfni hradla a obvody*, Teze disertační práce, FIT VUTB v Brně, 28. prosince 2006

[11] Stoica, A., Zebulum, R., Keymeulen, D., Polymorphic electronics. In Proc. of Evolvable Systems: From Biology to Hardware Conference, volume 2210 of LNCS, Springer, 2001. s. 291-302.

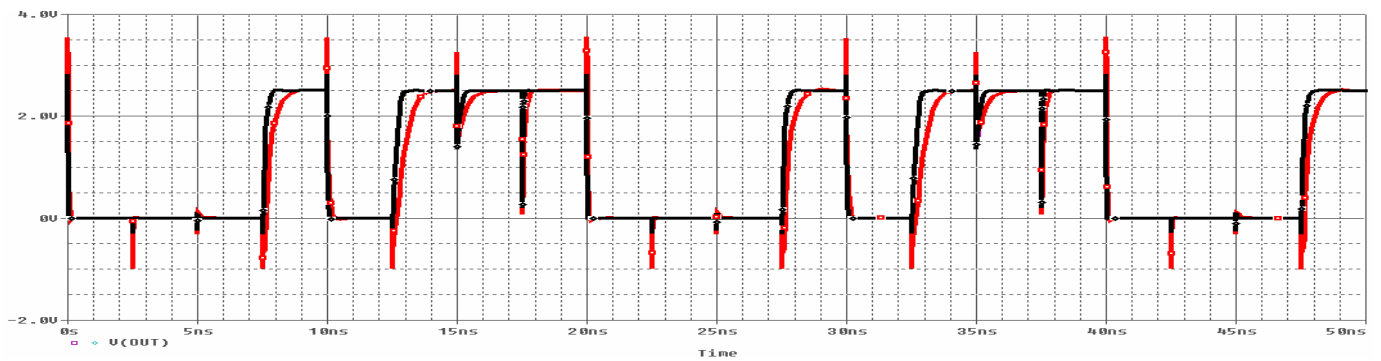
Seznam příloh

- Příloha 1. Hradlo NAND/NOR řízené externím napětím při $V_{dd} = 2.5V$ a $f = 50$ MHz při $20^{\circ}C$
- Příloha 2. Hradlo NAND/NOR řízené externím napětím při $V_{dd} = 2.5V$, $f = 50$ MHz, a $T = 150^{\circ}C$ a $T = -150^{\circ}C$
- Příloha 3. Hradlo NOR/NAND řízené externím napětím při $V_{dd} = 5V$ a $f = 50$ MHz při $20^{\circ}C$
- Příloha 4. Hradlo NOR/NAND řízené externím napětím při $V_{dd} = 5V$, $f = 50$ MHz, a $T = 200^{\circ}C$ a $T = -200^{\circ}C$
- Příloha 5. NAND/XOR řízené externím napětím při $V_{dd} = 5V$, $f = 500$ MHz a $T = 20^{\circ}C$
- Příloha 6. Hradlo NAND/XOR řízené externím napětím při $V_{dd} = 5V$, $f = 500$ MHz, $T = 200^{\circ}C$ a $T = -200^{\circ}C$
- Příloha 7. Hradlo NAND/NOR řízené V_{dd} při $V_{dd} = 1.8V$ (horní) a $V_{dd} = 3,3V$ (dolní), $f = 500$ MHz, $T = 200^{\circ}C$ a $T = -200^{\circ}C$
- Příloha 8. Hradlo AND/OR řízené V_{dd} při $f = 500kHz$, $V_{dd} = 3,3$ (1) a $1,2$ (2) a $T = 200^{\circ}C$ a $T = -200^{\circ}C$
- Příloha 9. Vstupy pro obvod REPOMO při $f = 50$ kHz
- Příloha 10. REPOMO při $f = 50MHz$, $T = 200^{\circ}C$ a $T = -200^{\circ}C$
- Příloha 11. CD

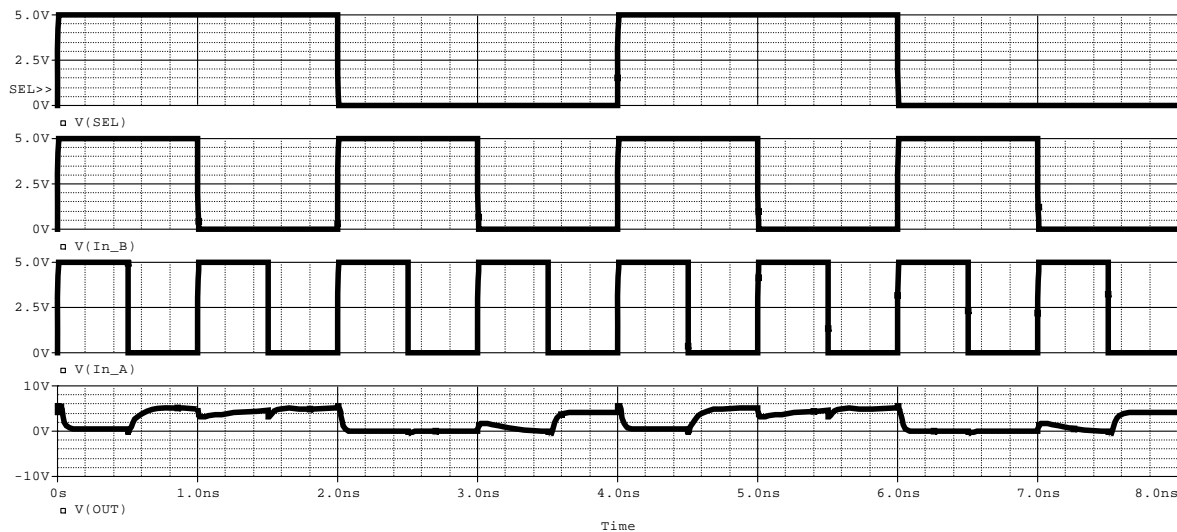
Příloha 1. Hradlo NAND/NOR řízené externím napětím při $V_{dd} = 2.5V$ a $f = 50\text{ MHz}$ při 20°C



Příloha 2. Hradlo NAND/NOR řízené externím napětím při $V_{dd} = 2.5V$, $f = 50\text{ MHz}$, a $T = 150^\circ\text{C}$ (červená) a $T = -150^\circ\text{C}$ (černá)

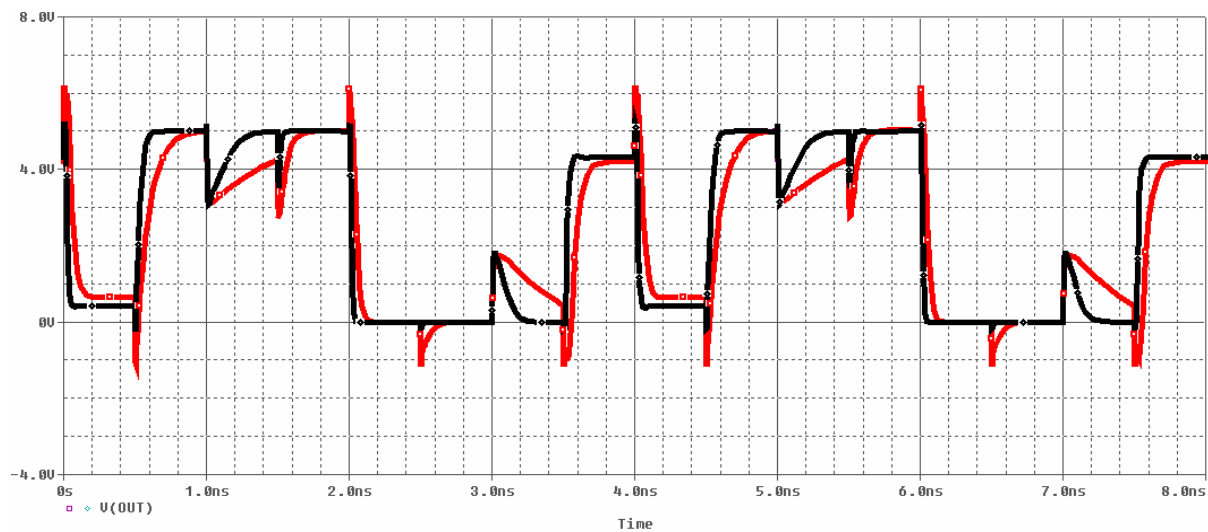


Příloha 3. Hradlo NOR/NAND řízené externím napětím při $V_{dd} = 5V$ a $f = 50\text{ MHz}$ při 20°C

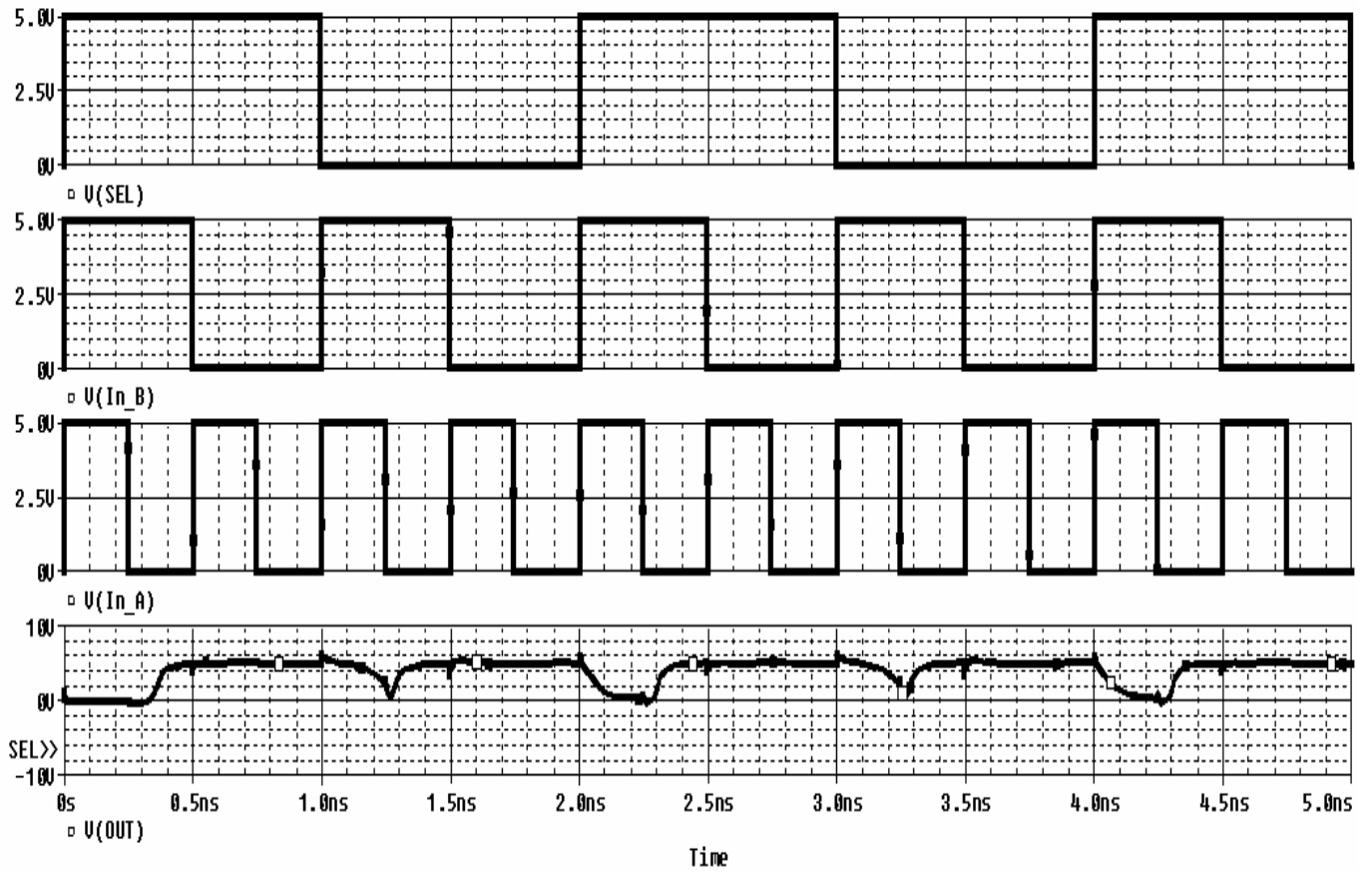


Příloha 4. Hradlo NOR/NAND řízené externím napětím při $V_{dd} = 5V$, $f = 50\text{ MHz}$, a $T = 200^\circ\text{C}$

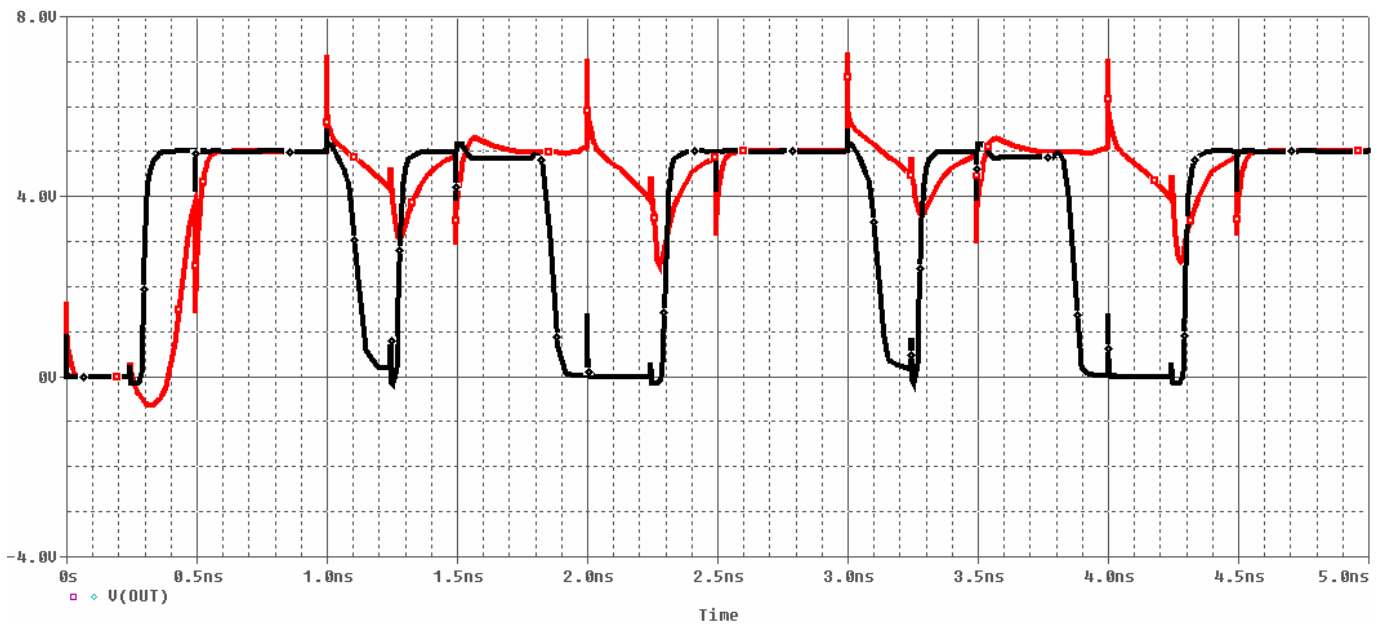
(červená) a $T = -200^\circ\text{C}$ (černá)



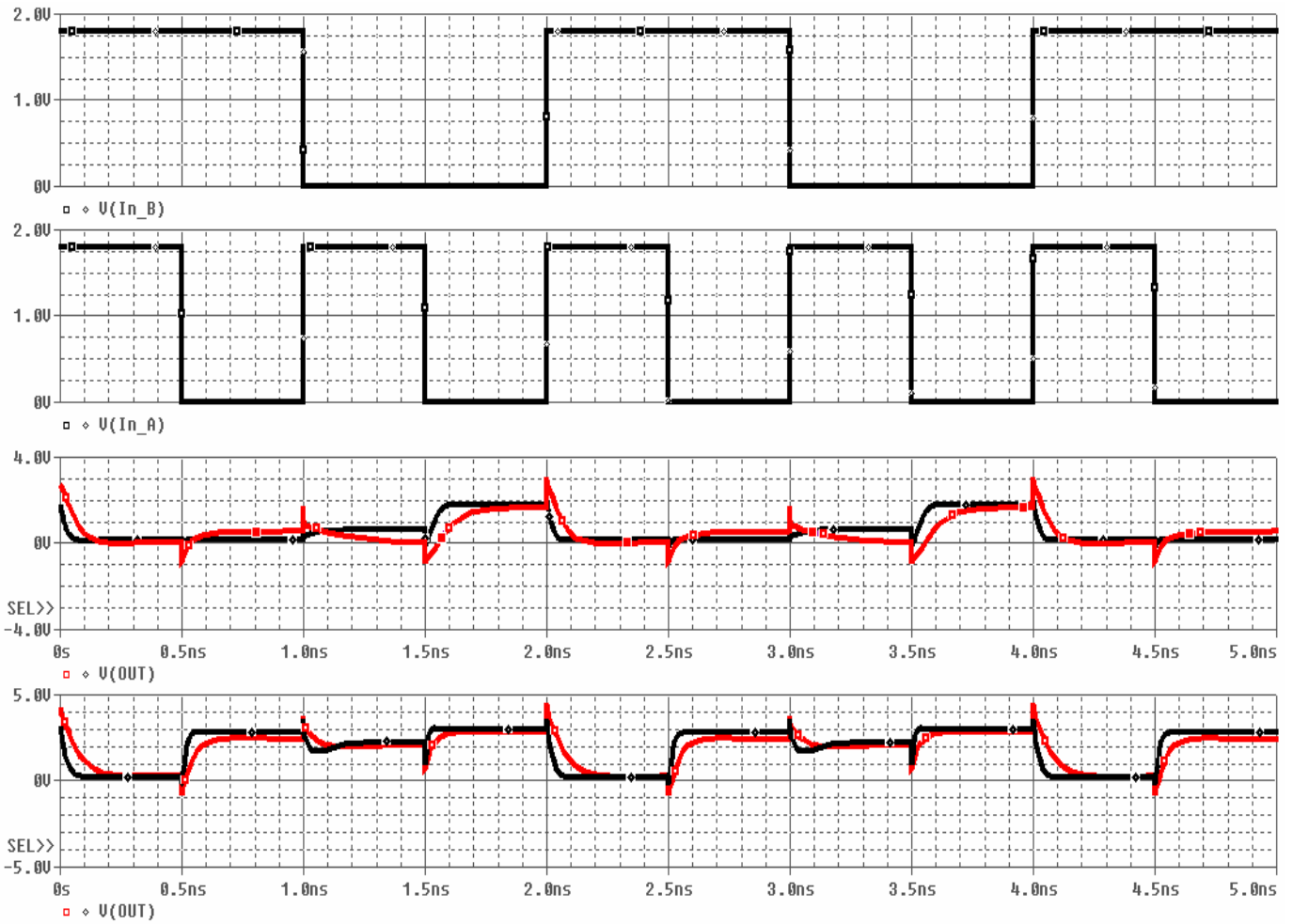
Příloha 5. NAND/XOR řízené externím napětím při $V_{dd} = 5V$, $f = 500\text{ MHz}$ a $T = 20^\circ\text{C}$



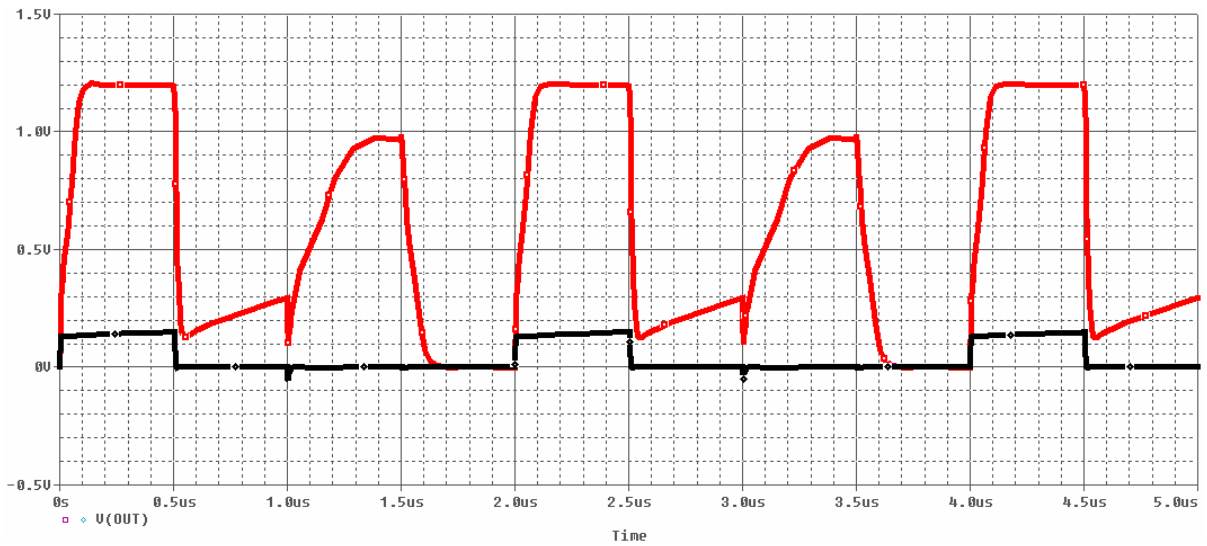
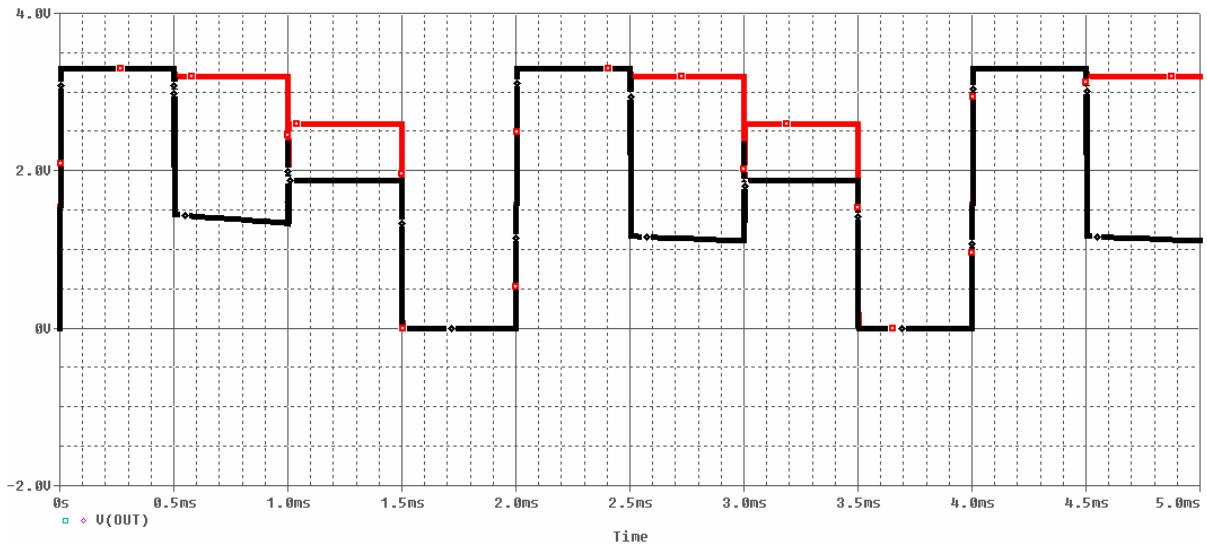
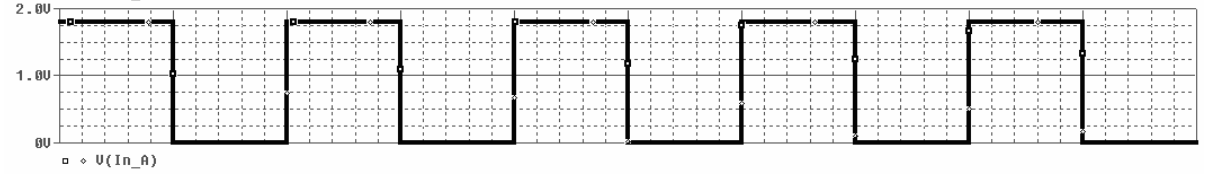
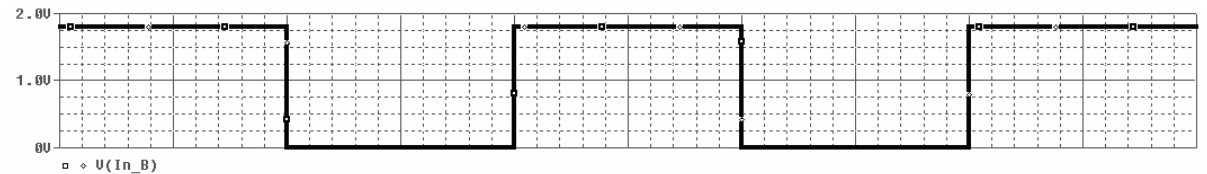
Příloha 6. Hradlo NAND/XOR řízené externím napětím při $V_{dd} = 5V$, $f = 500\text{ MHz}$,
 $T = 200^\circ\text{C}$ (červená) a $T = -200^\circ\text{C}$ (černá)



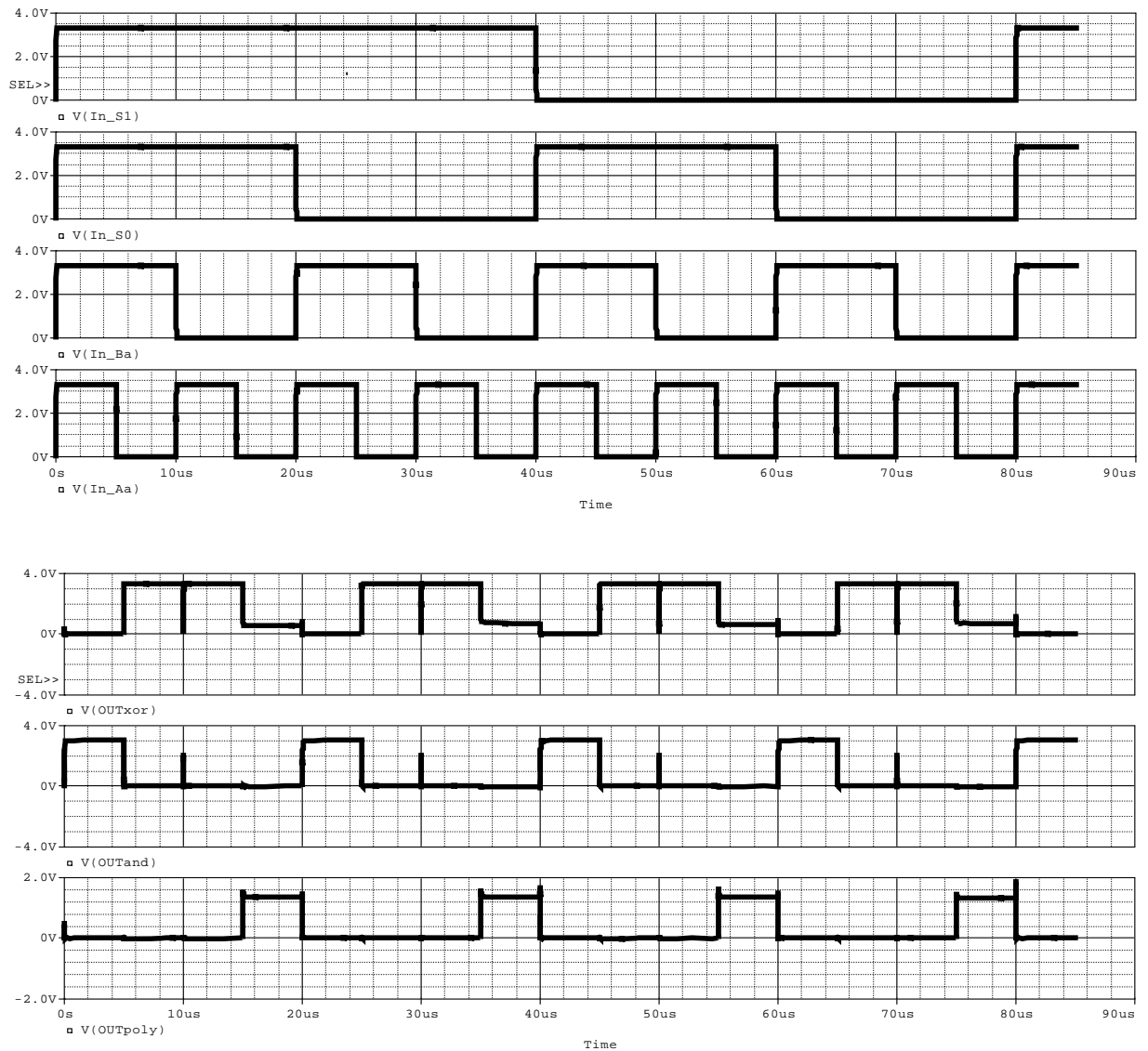
Příloha 7. Hradlo NAND/NOR řízené V_{dd} při $V_{dd} = 1.8V$ (horní) a $V_{dd} = 3,3V$ (dolní),
 $f = 500\text{ MHz}$, $T = 200\text{ °C}$ (červená) a $T = -200\text{ °C}$ (černá)



Příloha 8. Hradlo AND/OR řízené Vdd při $f = 500\text{kHz}$, $V_{dd} = 3,3$ (1) a $1,2$ (2) a $T = 200\text{ }^{\circ}\text{C}$ (červená) a $T = -200\text{ }^{\circ}\text{C}$ (černá)

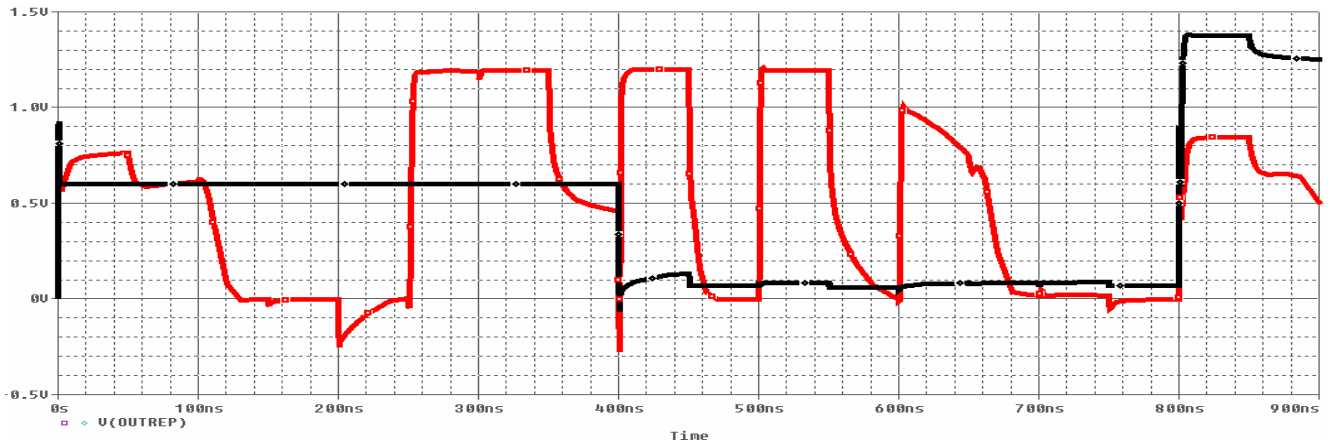
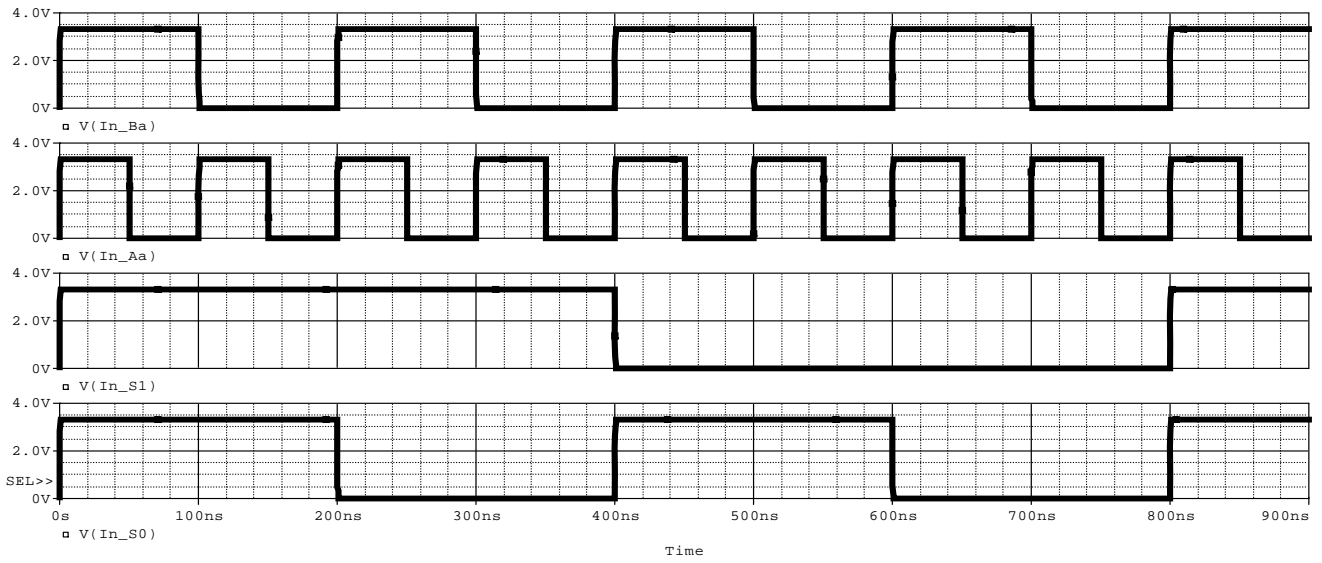


Příloha 9. Vstupy pro obvod REPOMO při $f = 50 \text{ kHz}$

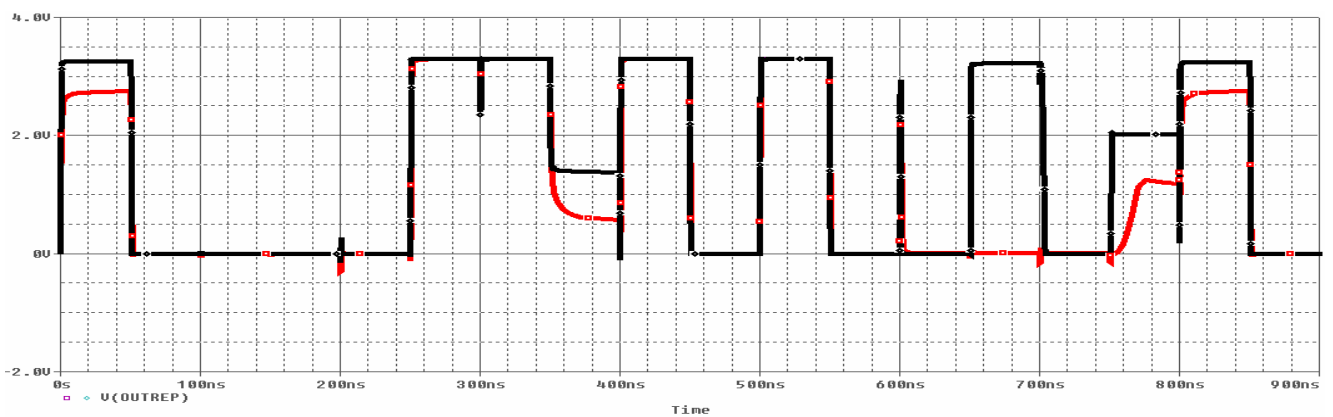


První dva grafy představují řídicí vstupy pro multiplexor, další dvojice představuje vstupy pro hradla. Poslední trojce grafů představuje výstupy jednotlivých hradel, které jsou přivedeny na vstup multiplexoru. Výstupy jsou seřazeny v tomto pořadí: XOR, AND a polymorfní hradlo NAND/NOR.

Příloha 10. REPOMO při $f = 5\text{MHz}$, $T = 200\text{ }^\circ\text{C}$ a $T = -200\text{ }^\circ\text{C}$



REPOMO při V_{dd} polymorfního hradla $V_{dd} = 1,8\text{V}$ $T = 200\text{ }^\circ\text{C}$ (červená) a $T = -200\text{ }^\circ\text{C}$ (černá)



REPOMO při V_{dd} polymorfního hradla $V_{dd} = 3,3\text{V}$ $T = 200\text{ }^\circ\text{C}$ (červená) a $T = -200\text{ }^\circ\text{C}$ (černá)